

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07336138 A**(43) Date of publication of application: **22.12.95**

(51) Int. Cl

H03B 5/08
H01F 27/00
H01G 4/40
H03B 5/18

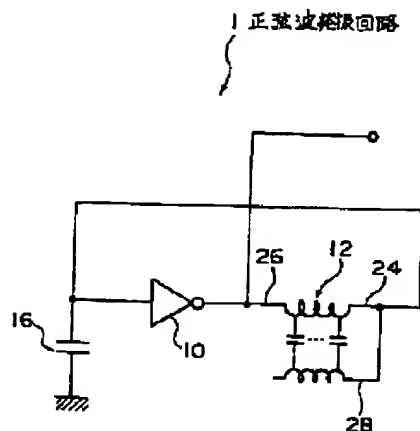
(21) Application number: **06148597**(22) Date of filing: **06.06.94**(71) Applicant: **IKEDA TAKESHI**(72) Inventor: **IKEDA TAKESHI**
OE TADATAKA(54) **SINE WAVE OSCILLATION CIRCUIT**

(57) Abstract:

PURPOSE: To provide a sine wave oscillation circuit capable of combining less kinds of parts, easily generating sine waves and being integrally formed on a semiconductor substrate.

CONSTITUTION: This sine wave oscillation circuit 1 is provided with an inverter logic circuit 10 functioning as an invertible amplifier and an LC element 12 formed on the semiconductor substrate. The LC element 12 is provided with first and second spiral electrodes approximately concentrically and approximately parallelly formed on the semiconductor substrate and a spiral pn joined layer for which a (p) area and an (n) area are connected to the respective electrodes. The respective electrodes function as inductor conductors and a distribution constant type capacitor by the pn joined layer is formed between the respective inductor conductors. In such a manner, the respective components of the sine wave oscillation circuit 1 are formed on the semiconductor substrate and the whole is integrally formed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336138

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B 5/08	Z	8321-5 J		
H 0 1 F 27/00				
H 0 1 G 4/40				
		4230-5 E	H 0 1 F 15/ 00	D
		7924-5 E	H 0 1 G 4/ 40	A
審査請求 未請求 請求項の数35 F D (全 51 頁) 最終頁に続く				

(21) 出願番号 特願平6-148597

(22) 出願日 平成6年(1994)6月6日

(71) 出願人 390026192

池田 毅

東京都大田区山王2-5-6-213

(72) 発明者 池田 毅

東京都大田区山王2-5-6-213

(72) 発明者 大江 忠孝

埼玉県大宮市東大宮2-107 岸マンション203

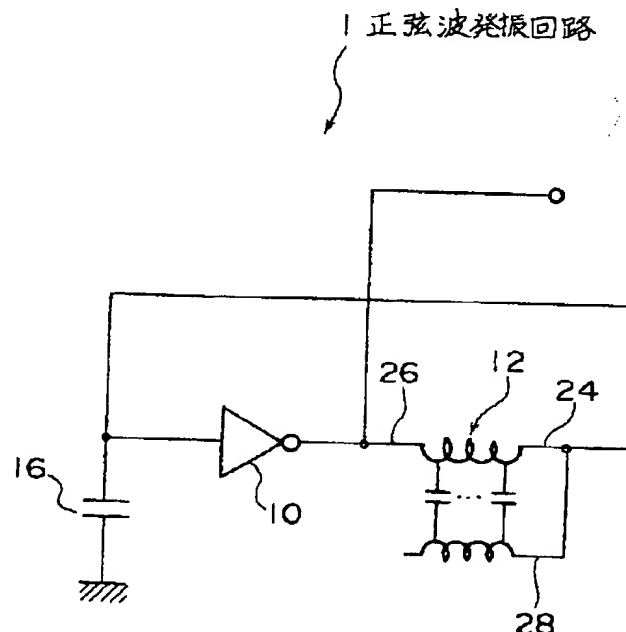
(74) 代理人 弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 正弦波発振回路

(57) 【要約】

【目的】 より少ない種類の部品を組み合わせで簡単に正弦波を発生させることができ、しかも半導体基板に一体形成が可能な正弦波発振回路を提供すること。

【構成】 正弦波発振回路1は、反転増幅器として機能するインバータ論理回路10と、半導体基板上に形成されたLC素子12とを含んでいる。LC素子12は、半導体基板上であってほぼ同心状にほぼ平行に形成された渦巻き形状の第1および第2のスパイラル電極と、この電極のそれぞれにp領域とn領域とが接続された渦巻き形状のpn接合層を含んでおり、各電極がインダクタ導体として機能するとともに、これら各インダクタ導体間にはpn接合層による分布定数的なキャパシタが形成されている。このように、正弦波発振回路1の各構成部品は半導体基板上に形成可能であり、全体を一体形成することができる。



【特許請求の範囲】

【請求項 1】 入力信号を増幅するとともに位相反転を行う反転増幅器と、
半導体基板上にほぼ並行して形成されており、それぞれ
の一方端近傍が電氣的に接続されているとともにいずれ
か一方が信号入出力路として使用される 2 本のインダク
タ導体を有し、これら 2 本のインダクタ導体による 2 本
のインダクタとそれらの間のキャパシタとが分布定数的
に形成されている LC 素子と、
を備え、前記反転増幅器の出力を前記 LC 素子の信号入
出力路として機能する一方のインダクタを介して入力側
に帰還させることにより正弦波発振を行うことを特徴と
する正弦波発振回路。

【請求項 2】 請求項 1 において、
前記反転増幅器をインバータ論理回路により構成するこ
とを特徴とする正弦波発振回路。

【請求項 3】 請求項 1 において、
前記反転増幅器をソース接地回路あるいはエミッタ接地
回路により構成することを特徴とする正弦波発振回路。

【請求項 4】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
同一平面内でほぼ同心状で隣接して配置されており、前
記 2 本のインダクタ導体として機能する渦巻き形状の 2
つの電極と、
前記半導体基板の表面近傍であって前記 2 つの電極に沿
った位置に形成され、これら 2 つの電極のいずれか一方
に p 領域が、他方に n 領域が電氣的に接続されており、
逆バイアス電圧を印加することにより前記キャパシタと
して動作する渦巻き形状の p n 接合層と、
を備えることを特徴とする正弦波発振回路。

【請求項 5】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
前記半導体基板を挟んでほぼ対向して配置されており、
前記 2 本のインダクタ導体として機能する渦巻き形状の
2 つの電極と、
前記半導体基板内であって前記 2 つの電極に挟まれた位
置に形成され、これら 2 つの電極のいずれか一方に p 領
域が、他方に n 領域が電氣的に接続されており、逆バイ
アス電圧を印加することにより前記キャパシタとして動
作する渦巻き形状の p n 接合層と、
を備えることを特徴とする正弦波発振回路。

【請求項 6】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
同一平面内でほぼ平行に隣接して配置されており、前記
2 本のインダクタ導体として機能する蛇行形状の 2 つの
電極と、
前記半導体基板の表面近傍であって前記 2 つの電極に沿
った位置に形成され、これら 2 つの電極のいずれか一方
に p 領域が、他方に n 領域が電氣的に接続されており、
逆バイアス電圧を印加することにより前記キャパシタと

して動作する蛇行形状の p n 接合層と、
を備えることを特徴とする正弦波発振回路。

【請求項 7】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
前記半導体基板を挟んで対向して配置されており、前記
2 本のインダクタ導体として機能する蛇行形状の 2 つの
電極と、

前記半導体基板内であって前記 2 つの電極に挟まれた位
置に形成され、これら 2 つの電極のいずれか一方に p 領
域が、他方に n 領域が電氣的に接続されており、逆バイ
アス電圧を印加することにより前記キャパシタとして動
作する渦巻き形状の p n 接合層と、
を備えることを特徴とする正弦波発振回路。

【請求項 8】 請求項 4～7 のいずれかにおいて、
前記 2 つの電極のいずれか一方の長さを他方に比べて短
く形成することを特徴とする正弦波発振回路。

【請求項 9】 請求項 4～8 のいずれかにおいて、
前記他方のインダクタとして機能する前記 2 つの電極の
一方を複数に分割し、あるいは前記他方のインダクタと
して機能する前記 2 つの電極の一方とともに対応する前
記 p n 接合層を複数に分割し、各分割片の一部を相互に
接続することを特徴とする正弦波発振回路。

【請求項 10】 請求項 4～9 のいずれかにおいて、
前記 p n 接合層に印加する逆バイアス電圧を変更するこ
とにより、前記 LC 素子内に分布定数的に形成されるキ
ャパシタの容量値を変えることを特徴とする正弦波発振
回路。

【請求項 11】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
MOS 構造におけるゲートを形成する渦巻き形状の電極
と、
前記渦巻き形状の電極と前記半導体基板との間に形成さ
れた絶縁層と、
前記半導体基板内であって、前記渦巻き形状の電極に対
応して形成されるチャンネルの両端付近に形成されてソー
スおよびドレインとして機能する第 1 および第 2 の拡散
領域と、
を備え、前記渦巻き形状の電極とこれに対応して形成さ
れるチャンネルのそれぞれが前記 2 本のインダクタ導体と
して機能するとともに、前記チャンネルを前記信号入出力
路として使用することを特徴とする正弦波発振回路。

【請求項 12】 請求項 1～3 のいずれかにおいて、
前記 LC 素子は、
MOS 構造におけるゲートを形成する渦巻き形状の電極
と、
前記渦巻き形状の電極と前記半導体基板との間に形成さ
れた絶縁層と、
前記半導体基板内であって、前記渦巻き形状の電極に対
応して形成されるチャンネルの一方端付近に形成されてソ
ースあるいはドレインとして機能する第 1 の拡散領域

と、

を備え、前記渦巻き形状の電極とこれに対応して形成されるチャンネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記渦巻き形状の電極を前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項13】 請求項1～3のいずれかにおいて、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の電極と、前記蛇行形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記蛇行形状の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、前記蛇行形状の電極とこれに対応して形成されるチャンネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項14】 請求項1～3のいずれかにおいて、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の電極と、前記蛇行形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記蛇行形状の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、前記蛇行形状の電極とこれに対応して形成されるチャンネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記蛇行形状の電極を前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項15】 請求項1～3のいずれかにおいて、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板表面であって、前記第1の電極と同心状で隣接して形成された渦巻き形状の第2の電極と、前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする正

弦波発振回路。

【請求項16】 請求項1～3のいずれかにおいて、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、

渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、

前記半導体基板表面であって、前記第1の電極と同心状で隣接して形成された渦巻き形状の第2の電極と、

10 前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、

を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項17】 請求項1～3のいずれかにおいて、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、

蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、

前記半導体基板表面であって、前記第1の電極に沿ってほぼ平行に隣接して形成された蛇行形状の第2の電極と、

30 前記半導体基板内であって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、

を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項18】 請求項1～3のいずれかにおいて、前記LC素子は、

MOS構造におけるゲートを形成する蛇行形状の第1の電極と、

40 蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、

前記半導体基板表面であって、前記第1の電極に沿ってほぼ平行に隣接して形成された蛇行形状の第2の電極と、

前記半導体基板内であって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、

50 を備え、蛇行形状の前記第1の電極に対応して形成され

るチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項19】 請求項1～3のいずれかにおいて、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された渦巻き形状の第2の電極と、前記半導体基板内にあって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項20】 請求項1～3のいずれかにおいて、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された渦巻き形状の第2の電極と、前記半導体基板内にあって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項21】 請求項1～3のいずれかにおいて、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された蛇行形状の第2の電極と、前記半導体基板内にあって、蛇行形状の前記第1の電極

に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項22】 請求項1～3のいずれかにおいて、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された蛇行形状の第2の電極と、前記半導体基板内にあって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を信号入出力路として使用することを特徴とする正弦波発振回路。

【請求項23】 請求項11～14のいずれかにおいて、前記半導体基板表面近傍であって前記チャンネルが形成される位置の少なくとも一部に予めキャリアを注入するとともに、前記渦巻き形状あるいは前記蛇行形状の電極に対して前記チャンネルの長さを長くあるいは短く設定することにより、渦巻き形状あるいは蛇行形状の前記電極と前記チャンネルとを部分的に対向させることを特徴とする正弦波発振回路。

【請求項24】 請求項15～22のいずれかにおいて、前記第1および第2の電極のいずれか一方の長さを他方に比べて短く形成することにより、渦巻き形状あるいは蛇行形状の前記第2の電極と前記チャンネルとを部分的に対向させることを特徴とする正弦波発振回路。

【請求項25】 請求項11～22、24のいずれかにおいて、前記半導体基板表面近傍であって前記チャンネルが形成される位置に、予めキャリアを注入することを特徴とする正弦波発振回路。

【請求項26】 請求項16、18、20、22、24、25のいずれかにおいて、前記第1の電極に対応して形成される前記チャンネルを前記他方のインダクタとして使用する場合において、前記

第 1 の電極を複数に分割することにより前記第 1 の電極に対応して形成される前記チャネルを複数に分割し、各分割チャネルの一方端近傍に形成された前記拡散領域を相互に接続することを特徴とする正弦波発振回路。

【請求項 27】 請求項 15, 17, 19, 21, 24, 25 のいずれかにおいて、前記第 2 の電極を前記他方のインダクタとして使用する場合において、前記第 2 の電極を複数に分割し、各分割電極片の一部を相互に接続することを特徴とする正弦波発振回路。

【請求項 28】 請求項 11 ~ 27 のいずれかにおいて、前記ゲートを形成する電極に印加するゲート電圧を変更することにより、前記チャネルが有する抵抗値を可変に制御することを特徴とする正弦波発振回路。

【請求項 29】 請求項 1 ~ 3 のいずれかにおいて、前記 LC 素子は、前記半導体表面に直接あるいは第 1 の絶縁層を挟んで形成された渦巻き形状の第 1 の電極と、前記第 1 の電極の表面に形成された第 2 の絶縁層と、前記第 1 の電極とほぼ対向する位置に前記第 2 の絶縁層を挟んで形成された渦巻き形状の第 2 の電極と、を備え、前記第 1 および第 2 の電極のそれぞれが前記 2 本のインダクタ導体として機能することを特徴とする正弦波発振回路。

【請求項 30】 請求項 1 ~ 3 のいずれかにおいて、前記 LC 素子は、前記半導体表面に直接あるいは第 1 の絶縁層を挟んで形成された蛇行形状の第 1 の電極と、前記第 1 の電極の表面に形成された第 2 の絶縁層と、前記第 1 の電極とほぼ対向する位置に前記第 2 の絶縁層を挟んで形成された蛇行形状の第 2 の電極と、を備え、前記第 1 および第 2 の電極のそれぞれが前記 2 本のインダクタ導体として機能することを特徴とする正弦波発振回路。

【請求項 31】 請求項 29 または 30 において、前記第 2 の絶縁層は、前記第 1 の電極を酸化することにより形成された酸化膜であることを特徴とする正弦波発振回路。

【請求項 32】 請求項 29 または 30 において、前記第 2 の絶縁層は、化学気相法により形成された半導体酸化膜あるいは窒化膜であることを特徴とする正弦波発振回路。

【請求項 33】 請求項 29 ~ 32 のいずれかにおいて、前記第 1 および第 2 の電極のいずれか一方の長さを他方に比べて短く形成することを特徴とする正弦波発振回路。

【請求項 34】 請求項 29 ~ 33 のいずれかにおいて、

前記他方のインダクタとして機能する前記第 1 および第 2 の電極の一方を複数に分割し、各分割片の一部を相互に接続することを特徴とする正弦波発振回路。

【請求項 35】 請求項 1 ~ 34 のいずれかにおいて、前記 LC 素子と前記反転増幅器とを共通する前記半導体基板上に一体形成することを特徴とする正弦波発振回路。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、LC 共振を利用して所定周波数の正弦波信号を得る正弦波発振回路に関する。

【0002】

【従来の技術】 従来から、通信等各種分野において正弦波が使われており、この正弦波を得る発振回路も種々のものが知られている。例えば、高周波の正弦波を得ることができる代表的な回路として、コルピッツ型やハートレー型等の各種 LC 発振回路が知られている。

20 【0003】 これらの各種 LC 発振回路は、いずれも原理的にはトランジスタ等の増幅器と LC 回路を組み合わせ構成されており、所望の発振周波数の正弦波を得るために各素子定数を決定する必要がある。

【0004】

30 【発明が解決しようとする課題】 ところで、従来の正弦波発振回路は、LC 回路を構成するインダクタとキャパシタとを個別に用意して組み合わせるため、設計の自由度が増す反面、設計者等が決定する素子定数が多くて設計が複雑になる。特に、正弦波を使用する装置によっては、より少ない種類の部品を組み合わせるだけで簡単に所望の発振周波数を有することができれば便利である。

【0005】 また、LC 回路を構成するインダクタはコアやボビンに巻線を施すものが多く、一般には集積化に不向きである。LC 回路を含む正弦波発振回路の全体を IC 化しようとした場合であっても、インダクタのみは外付けしなければならないという不都合があり、回路全体を半導体基板上に一体形成することができないという問題があった。

40 【0006】 本発明は、このような点に鑑みて創作されたものであり、その目的はより少ない種類の部品を組み合わせるだけで簡単に正弦波を発生させることができる正弦波発振回路を提供することにある。

【0007】 また、本発明の他の目的は、回路全体を半導体基板上に一体形成可能な正弦波発振回路を提供することにある。

【0008】

50 【課題を解決するための手段】 上述した課題を解決するために、請求項 1 の正弦波発振回路は、入力信号を増幅するとともに位相反転を行う反転増幅器と、半導体基板上にほぼ並行して形成されており、それぞれの一方端近傍が電気的に接続されているとともにいずれか一方が信

号入出力路として使用される2本のインダクタ導体を有し、これら2本のインダクタ導体による2本のインダクタとそれらの間のキャパシタとが分布定数的に形成されているLC素子と、を備え、前記反転増幅器の出力を前記LC素子の信号入出力路として機能する一方のインダクタを介して入力側に帰還させることにより正弦波発振を行うことを特徴とする。

【0009】請求項2の正弦波発振回路は、請求項1の正弦波発振回路において、前記反転増幅器をインバータ論理回路により構成することを特徴とする。

【0010】請求項3の正弦波発振回路は、請求項1の正弦波発振回路において、前記反転増幅器をソース接地回路あるいはエミッタ接地回路により構成することを特徴とする。

【0011】請求項4の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、同一平面内でほぼ同心状で隣接して配置されており、前記2本のインダクタ導体として機能する渦巻き形状の2つの電極と、前記半導体基板の表面近傍であって前記2つの電極に沿った位置に形成され、これら2つの電極のいずれか一方にp領域が、他方にn領域が電氣的に接続されており、逆バイアス電圧を印加することにより前記キャパシタとして動作する渦巻き形状のpn接合層と、を備えることを特徴とする。

【0012】請求項5の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板を挟んでほぼ対向して配置されており、前記2本のインダクタ導体として機能する渦巻き形状の2つの電極と、前記半導体基板内であって前記2つの電極に挟まれた位置に形成され、これら2つの電極のいずれか一方にp領域が、他方にn領域が電氣的に接続されており、逆バイアス電圧を印加することにより前記キャパシタとして動作する渦巻き形状のpn接合層と、を備えることを特徴とする。

【0013】請求項6の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、同一平面内でほぼ平行に隣接して配置されており、前記2本のインダクタ導体として機能する蛇行形状の2つの電極と、前記半導体基板の表面近傍であって前記2つの電極に沿った位置に形成され、これら2つの電極のいずれか一方にp領域が、他方にn領域が電氣的に接続されており、逆バイアス電圧を印加することにより前記キャパシタとして動作する蛇行形状のpn接合層と、を備えることを特徴とする。

【0014】請求項7の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板を挟んで対向して配置されており、前記2本のインダクタ導体として機能する蛇行形状の2つの電極と、前記半導体基板内であって前記2つの電極に挟まれた位置に形成され、これら2つの電極のいずれ

か一方にp領域が、他方にn領域が電氣的に接続されており、逆バイアス電圧を印加することにより前記キャパシタとして動作する渦巻き形状のpn接合層と、を備えることを特徴とする。

【0015】請求項8の正弦波発振回路は、請求項4～7のいずれかの正弦波発振回路において、前記2つの電極のいずれか一方の長さを他方に比べて短く形成することを特徴とする。

【0016】請求項9の正弦波発振回路は、請求項4～8のいずれかの正弦波発振回路において、前記他方のインダクタとして機能する前記2つの電極の一方を複数に分割し、あるいは前記他方のインダクタとして機能する前記2つの電極の一方とともに対応する前記pn接合層を複数に分割し、各分割片の一部を相互に接続することを特徴とする。

【0017】請求項10の正弦波発振回路は、請求項4～9のいずれかの正弦波発振回路において、前記pn接合層に印加する逆バイアス電圧を変更することにより、前記LC素子内に分布定数的に形成されるキャパシタの容量値を変えることを特徴とする。

【0018】請求項11の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の電極と、前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記渦巻き形状の電極に対応して形成されるチャネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、前記渦巻き形状の電極とこれに対応して形成されるチャネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャネルを前記信号入出力路として使用することを特徴とする。

【0019】請求項12の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の電極と、前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記渦巻き形状の電極に対応して形成されるチャネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、前記渦巻き形状の電極とこれに対応して形成されるチャネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記渦巻き形状の電極を前記信号入出力路として使用することを特徴とする。

【0020】請求項13の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の電極と、前記蛇行形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記蛇行形状の電極に対応して形成されるチャネルの両端付

近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、前記蛇行形状の電極とこれに対応して形成されるチャンネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする。

【0021】請求項14の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の電極と、前記蛇行形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記蛇行形状の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、前記蛇行形状の電極とこれに対応して形成されるチャンネルのそれぞれが前記2本のインダクタ導体として機能するとともに、前記蛇行形状の電極を前記信号入出力路として使用することを特徴とする。

【0022】請求項15の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板表面であって、前記第1の電極と同心状で隣接して形成された渦巻き形状の第2の電極と、前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする。

【0023】請求項16の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板表面であって、前記第1の電極と同心状で隣接して形成された渦巻き形状の第2の電極と、前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする。

【0024】請求項17の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体

基板との間に形成された絶縁層と、前記半導体基板表面であって、前記第1の電極に沿ってほぼ平行に隣接して形成された蛇行形状の第2の電極と、前記半導体基板内であって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする。

【0025】請求項18の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板表面であって、前記第1の電極に沿ってほぼ平行に隣接して形成された蛇行形状の第2の電極と、前記半導体基板内であって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする。

【0026】請求項19の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された渦巻き形状の第2の電極と、前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、渦巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを前記信号入出力路として使用することを特徴とする。

【0027】請求項20の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する渦巻き形状の第1の電極と、渦巻き形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された渦巻き形状の第2の電極と、前記半導体基板内であって、渦巻き形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、渦

巻き形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を前記信号入出力路として使用することを特徴とする。

【0028】請求項21の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された蛇行形状の第2の電極と、前記半導体基板内にあって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの両端付近に形成されてソースおよびドレインとして機能する第1および第2の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記チャンネルを信号入出力路として使用することを特徴とする。

【0029】請求項22の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体基板の一方の面側に形成され、MOS構造におけるゲートを形成する蛇行形状の第1の電極と、蛇行形状の前記第1の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板の他方の面側に形成され、前記第1の電極とほぼ対向する位置に形成された蛇行形状の第2の電極と、前記半導体基板内にあって、蛇行形状の前記第1の電極に対応して形成されるチャンネルの一方端付近に形成されてソースあるいはドレインとして機能する第1の拡散領域と、を備え、蛇行形状の前記第1の電極に対応して形成されるチャンネルと前記第2の電極のそれぞれが前記2本のインダクタ導体として機能するとともに、前記第2の電極を信号入出力路として使用することを特徴とする。

【0030】請求項23の正弦波発振回路は、請求項1～14のいずれかの正弦波発振回路において、前記半導体基板表面近傍であって前記チャンネルが形成される位置の少なくとも一部に予めキャリアを注入するとともに、前記渦巻き形状あるいは前記蛇行形状の電極に対して前記チャンネルの長さを長くあるいは短く設定することにより、渦巻き形状あるいは蛇行形状の前記電極と前記チャンネルとを部分的に対向させることを特徴とする。

【0031】請求項24の正弦波発振回路は、請求項15～22のいずれかの正弦波発振回路において、前記第1および第2の電極のいずれか一方の長さを他方に比べて短く形成することにより、渦巻き形状あるいは蛇行形状の前記第2の電極と前記チャンネルとを部分的に対向させることを特徴とする。

【0032】請求項25の正弦波発振回路は、請求項1～22、24のいずれかの正弦波発振回路において、

前記半導体基板表面近傍であって前記チャンネルが形成される位置に、予めキャリアを注入することを特徴とする。

【0033】請求項26の正弦波発振回路は、請求項16、18、20、22、24、25のいずれかの正弦波発振回路において、前記第1の電極に対応して形成される前記チャンネルを前記他方のインダクタとして使用する場合において、前記第1の電極を複数に分割することにより前記第1の電極に対応して形成される前記チャンネルを複数に分割し、各分割チャンネルの一方端近傍に形成された前記拡散領域同士を相互に接続することを特徴とする。

【0034】請求項27の正弦波発振回路は、請求項15、17、19、21、24、25のいずれかの正弦波発振回路において、前記第2の電極を前記他方のインダクタとして使用する場合において、前記第2の電極を複数に分割し、各分割電極片の一部を相互に接続することを特徴とする。

【0035】請求項28の正弦波発振回路は、請求項1～27のいずれかの正弦波発振回路において、前記ゲートを形成する電極に印加するゲート電圧を変更することにより、前記チャンネルが有する抵抗値を可変に制御することを特徴とする。

【0036】請求項29の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体表面に直接あるいは第1の絶縁層を挟んで形成された渦巻き形状の第1の電極と、前記第1の電極の表面に形成された第2の絶縁層と、前記第1の電極とほぼ対向する位置に前記第2の絶縁層を挟んで形成された渦巻き形状の第2の電極と、を備え、前記第1および第2の電極のそれぞれが前記2本のインダクタ導体として機能することを特徴とする。

【0037】請求項30の正弦波発振回路は、請求項1～3のいずれかの正弦波発振回路において、前記LC素子は、前記半導体表面に直接あるいは第1の絶縁層を挟んで形成された蛇行形状の第1の電極と、前記第1の電極の表面に形成された第2の絶縁層と、前記第1の電極とほぼ対向する位置に前記第2の絶縁層を挟んで形成された蛇行形状の第2の電極と、を備え、前記第1および第2の電極のそれぞれが前記2本のインダクタ導体として機能することを特徴とする。

【0038】請求項31の正弦波発振回路は、請求項29または30の正弦波発振回路において、前記第2の絶縁層は、前記第1の電極を酸化することにより形成された酸化膜であることを特徴とする。

【0039】請求項32の正弦波発振回路は、請求項29または30の正弦波発振回路において、前記第2の絶縁層は、化学気相法により形成された半導体酸化膜あるいは窒化膜であることを特徴とする。

【0040】請求項33の正弦波発振回路は、請求項2

9～32のいずれかの正弦波発振回路において、前記第1および第2の電極のいずれか一方の長さを他方に比べて短く形成することを特徴とする。

【0041】請求項34の正弦波発振回路は、請求項29～33のいずれかの正弦波発振回路において、前記他方のインダクタとして機能する前記第1および第2の電極の一方を複数に分割し、各分割片の一部を相互に接続することを特徴とする。

【0042】請求項35の正弦波発振回路は、請求項1～34のいずれかの正弦波発振回路において、前記LC素子と前記反転増幅器とを共通する前記半導体基板上に一体形成することを特徴とする。

【0043】

【作用】請求項1の正弦波発振回路は、反転増幅器とLC素子とをリング状に接続することにより構成されている。信号の位相のみに着目すると、LC素子において180度位相がずれ、さらに反転増幅器によって180度位相がずれて、出力される信号の位相と一巡して戻ってくる信号の位相とが一致するような周波数で発振が行われる。しかも、上述したLC素子は、2本のインダクタの一方端同士を相互に接続して、単一の2端子素子として扱うことができ、部品の取扱いが容易になる。

【0044】このように、請求項1の発明によれば、反転増幅器とLC素子とを接続するだけで正弦波発振が行われており、より少ない種類の部品を組み合わせるだけで簡単に正弦波を発生させることができる。

【0045】さらに、上述したLC素子は半導体基板上に形成されているため、反転増幅器を含む全ての部品を半導体基板上に形成することが可能であり、半導体製造技術を利用した大量生産や回路の小型化が可能となる。特に、これら各部品は1つの半導体基板上に形成することもでき、この場合は回路全体を半導体基板上に一体形成することになるため、大量生産や回路の小型化がさらに容易になる。

【0046】また、請求項2または3の正弦波発振回路は、上述した反転増幅器をインバータ論理回路やトランジスタを利用したソース接地回路あるいはエミッタ接地回路により構成している。すなわち、これらはいずれも入力信号の論理を反転させて出力すると同時に入力信号の電圧レベルを増幅するものであり、このような構造が単純な反転増幅器とLC素子とを組み合わせるだけで、簡単に正弦波を発生させることができる。特に、上述したインバータ論理回路やソース接地回路あるいはエミッタ接地回路は一般には半導体基板上に形成されるものであり、他の部品とともに一体形成する場合にさらに好都合となる。

【0047】請求項4～7の正弦波発振回路は、上述した請求項1～3で用いたLC素子の具体的構成を示した第1の例を示したものである。

【0048】請求項4の発明によれば、半導体基板上で

あって同心状に隣接して配置された2つの電極と、これら2つの電極に沿って形成された渦巻き形状のpn接合層とにより上述したLC素子が形成されている。このpn接合層に逆バイアス電圧を印加することにより、渦巻き形状のキャパシタが形成される。したがって、2つの電極のそれぞれにより形成されるインダクタとこのキャパシタとが半導体基板上に分布定数的に形成されることになる。特に、このLC素子は、半導体製造技術を用いて半導体基板に形成されるため、反転増幅器等のそれ以外の部品とともに半導体基板上に一体形成する際に好都合となる。

【0049】また、請求項5の発明によれば、請求項4において半導体基板上に同心状に設けられていた2つの電極を互いに半導体基板を挟んで対向配置することによりLC素子を形成しており、これにより各電極によるインダクタとその間のpn接合層によるキャパシタとが分布定数的に形成されることになる。請求項4のLC素子と同様に、このLC素子は半導体製造技術を用いて半導体基板に形成されるため、反転増幅器等のそれ以外の部品とともに一体形成する際に好都合となる。

【0050】また、請求項6、7の発明によれば、請求項4、5における電極を渦巻き形状から蛇行形状に置き換えることによりLC素子が形成されている。一般には、導体を渦巻き形状に形成することによりインダクタとして機能させることができるが、使用する周波数帯域によっては導体を蛇行形状とした場合でもインダクタとして機能させることができる。すなわち、電極を蛇行形状に形成した場合には、各凹凸部の1つ1つが約1/2ターンのコイルとなってこれらが直列に接続されるため、電極全体が所定のインダクタンスを有するインダクタとして機能する。特に、使用する信号の周波数が高周波領域に達するような場合には小さなインダクタンスで足りるため、蛇行形状のインダクタで足りる場合がある。

【0051】特に、電極を蛇行形状に形成した場合には、電極の一方端あるいは両端に配線を施す場合に、この配線を電極の一部と交差せずに引き出せる利点があり、正弦波発振回路全体の製造工程の簡略化が可能となる。

【0052】また、請求項8の発明によれば、2つの電極のいずれか一方を短く形成することにより、インダクタ導体が部分的に対向したLC素子が形成されている。一般に、正弦波発振回路全体の発振周波数は、分布定数的に形成されたインダクタンスとキャパシタンスとにより決定されるため、一方の電極を短く形成することによりキャパシタンスを小さくすれば、それに伴って発振周波数も変更されることになる。したがって、部分対向させる電極の割合等を変えることにより発振周波数のある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0053】また、請求項9の発明によれば、2つの電極のいずれか一方を複数に分割、あるいはこの電極の分割とともに対応するpn接合層を複数に分割することにより、分割されたインダクタ導体による影響が少ないLC素子が形成されている。すなわち、各分割電極片の自己インダクタンスは小さくなるため、分割されない電極が有するインダクタンスと分布定数的に形成されたキャパシタンスとによりLC素子の特性がほぼ決定されることになる。したがって、電極の分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0054】また、請求項10の発明によれば、pn接合層に印加する逆バイアス電圧を変更することにより、分布定数的に形成されるキャパシタの容量値が変更可能なLC素子が形成されている。一般に、pn接合層は可変の逆バイアス電圧を印加することによりバリキャップとして動作する。したがって、印加する逆バイアス電圧を可変に制御して渦巻き形状あるいは蛇行形状を有するpn接合層の全域をバリキャップとして動作させることにより、ある範囲で周波数特性を変更可能なLC素子とすることができ、電圧制御型の正弦波発振回路を容易に実現することができる。

【0055】請求項11～22の正弦波発振回路は、上述した請求項1～3で用いたLC素子の具体的構成を示した第2の例を示したものである。

【0056】請求項11～14の発明によれば、ゲートが渦巻き形状あるいは蛇行形状を有するMOS構造のLC素子が形成されており、ゲート電極とこれに対応して形成されるチャンネルとがそれぞれインダクタ導体として機能するとともにこれらの間に分布定数的なキャパシタが形成されている。これらの各LC素子は、マスクの形状等を変更するだけで通常のMOSトランジスタを製造する工程を利用して製造可能であり、反転増幅器等のそれ以外の部品とともに半導体基板上に一体形成する際に好都合となる。特に、反転増幅器もMOS構造を有する場合、例えばMOSトランジスタやCMOS等のインバータ論理回路により構成した場合には、正弦波発振回路全体をMOS構造とすることができることから、製造工程の簡略化や各部品の高密度実装化が可能となり、ICやLCIの一部として組み込む場合に特に好都合となる。

【0057】請求項15～22の発明によれば、上述した請求項11～14の各LC素子のゲート電極にほぼ平行に、あるいはほぼ対向するように第2の電極を設けることによりMOS構造のLC素子が形成されており、ゲート電極は独立して逆バイアス印加用に用いられている。したがって、ゲート電極への電圧印加とチャンネルや第2の電極を介した信号の伝送とを切り離すことができ、設計の自由度が増す。

【0058】また、請求項23の発明によれば、請求項

11～14におけるゲート電極とチャンネルとを部分的に対向させることによりLC素子が形成されている。一般に、ゲート電極に対応する半導体基板表面にチャンネルが形成されるが、予めこのチャンネルが形成される位置の少なくとも一部にキャリアを注入しておくことにより、所定のゲート電圧が印加されたときにゲート電極に対応する一部の領域にのみチャンネルが形成されるようにすることもできる。

【0059】また、請求項24の発明によれば、請求項15～22における2つの電極のいずれか一方を短くしてチャンネルと電極とを部分的に対向させることによりLC素子が形成されている。

【0060】このように、MOS構造を有するLC素子においてもチャンネルあるいは電極により形成されるインダクタ導体を部分的に対向させることが可能であり、部分対向させる割合等を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0061】また、請求項25の発明によれば、上述したチャンネルが形成される位置に予めキャリアを注入しておくことによりLC素子が形成されており、デプレッション型のMOS構造を有するLC素子となっている。特に、予め注入するキャリアの量を調整することによりチャンネル抵抗やソース・ドレイン間電流を変えることができるため、LC素子の特性がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0062】また、請求項26の発明によれば、上述した第2の電極を信号路として使用する場合において、ゲート電極を複数に分割することにより対応するチャンネルが分割されたLC素子が形成されており、分割されない第2の電極が有するインダクタンスと分布定数的に形成されたキャパシタンスとによりLC素子の特性がほぼ決定されることになる。したがって、このチャンネルの分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0063】また、請求項27の発明によれば、これとは反対にチャンネルを信号路として使用する場合において、第2の電極が複数に分割されたLC素子が形成されており、第2の電極側を分割した場合であってもこの分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことになる。

【0064】また、請求項28の発明によれば、請求項11～27の各ゲート電圧を変えることによりチャンネル抵抗が変更可能なLC素子が形成されている。このように一方のインダクタ導体の抵抗であるチャンネル抵抗を可変に制御した場合には、この可変の程度に伴ってLC素子の周波数特性も変更されることになるため、電圧制御

型の正弦波発振回路を容易に実現することができる。

【0065】また、請求項 29 または 30 の発明によれば、半導体基板上に直接あるいは第 1 の絶縁層を形成した後に、第 1 の電極、第 2 の絶縁層、第 2 の電極を積層するように形成することにより LC 素子が形成されている。しかも、これら第 1 および第 2 の電極をほぼ対向させることにより、インダクタ導体として機能するこれら 2 つの電極の間には分布定数的なキャパシタが形成される。この LC 素子は、上述した請求項 4 ~ 28 において示した LC 素子が半導体基板の内部も利用しているのに対し、半導体基板表面を利用している点で異なるが、この半導体基板を利用して反転増幅器等の他の部品とともに一体形成できることに変わりはなく、正弦波発振回路の大量生産や小型化に適している。

【0066】また、請求項 31 または 32 の発明によれば、2 つの電極間に形成する絶縁層を、電極の酸化あるいは化学気相法による酸化物や窒化物により構成した LC 素子が形成されている。このようにして絶縁層を形成する工程や渦巻きあるいは蛇行形状の電極を形成する工程は一般的な半導体製造技術によって実現されるものであり、他の部品とともに正弦波発振回路の全体を一体形成する際に好都合となる。

【0067】また、請求項 33 の発明によれば、請求項 29 ~ 32 における 2 つの電極のいずれか一方を短くしてこれらの電極を部分的に対向させることにより LC 素子が形成されている。

【0068】このように、半導体基板の表面を利用して形成された LC 素子においても 2 つの電極により形成されるインダクタ導体を部分的に対向させることが可能であり、部分対向させる割合等を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0069】また、請求項 34 の発明によれば、請求項 29 ~ 33 における 2 つの電極のいずれか一方が複数に分割された LC 素子が形成されており、この分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことになる。

【0070】また、請求項 35 の発明によれば、正弦波発振回路の全体が半導体基板上に一体形成されている点が明確になっている。すなわち、上述したように各請求項の LC 素子は半導体基板を利用して形成されるものであり、インバータ論理回路あるいはソース接地回路やエミッタ接地回路により構成される反転増幅器やその他の部品とともに 1 つの半導体基板に一体形成した正弦波発振回路を実現することは容易である。

【0071】

【実施例】以下、本発明を適用した一実施例の正弦波発振回路について、図面を参照しながら具体的に説明する。

【0072】〔第 1 実施例〕図 1 は、本発明を適用した第 1 実施例の正弦波発振回路 1 の詳細な構成を示す図である。

【0073】同図に示すように、第 1 実施例の正弦波発振回路 1 は、反転増幅器として機能するインバータ論理回路 10 と、半導体基板上にインダクタ成分とキャパシタ成分とが分布定数的に形成された LC 素子 12 と、負荷として機能するキャパシタ 16 とを含んで構成されている。

10 【0074】インバータ論理回路 10 は、入力信号の論理を反転、すなわち位相を 180 度ずらして出力するとともに、増幅器として動作する。このインバータ論理回路 10 は、TTL ロジック等任意のロジックを用いて実現することができるが、入力インピーダンスが高く回路設計が容易な CMOS ロジック、その中でも周波数が高い正弦波を発振させる場合には高速タイプである 74HC シリーズ等の CMOS ロジックが適している。

20 【0075】キャパシタ 16 は、負荷として機能するものである。インバータ論理回路 10 の内部容量で兼用できる場合にはこのキャパシタ 16 を省略することもできる。

【0076】LC 素子 12 は、半導体基板上に 2 つのインダクタ成分とキャパシタ成分とが分布定数的に形成されたものであり、この一方のインダクタ部分を介して信号の帰還が行われる。以下、この LC 素子 12 の具体例を説明する。

30 【0077】図 2 は、半導体基板上に渦巻き形状のスパイラル電極を形成することにより LC 素子を構成した場合の平面図である。また、図 3 は図 2 に示した A-A 線拡大断面図である。

【0078】本実施例の LC 素子 12 は、半導体基板である p 型シリコン基板 (p-Si 基板) 34 の表面付近に形成された渦巻き形状の n⁺領域 32 と、さらにその一部に形成された渦巻き形状の p⁺領域 30 とを含んでおり、これらの n⁺領域 32 と p⁺領域 30 とが pn 接合層 36 を形成している。また、上述した p-Si 基板 34 に比べて、n⁺領域 32 および p⁺領域 30 のそれぞれは不純物濃度が高めに設定されており、この p-Si 基板 34 と n⁺領域 32 との間に逆バイアス電圧を印加することにより、この p-Si 基板 34 が良好なアイソレーション領域として機能するようになっている。実際は、p-Si 基板 34 と後述する入出力電極 28 とを同電位とすることにより、p-Si 基板 34 と n⁺領域 32 との間に確実に逆バイアス電圧を印加すればよい。

40 【0079】また、本実施例の LC 素子 12 は、上述した n⁺領域 32 の表面側であって、この n⁺領域 32 に沿った位置に渦巻き形状の第 1 のスパイラル電極 20 が形成されている。同様に、p⁺領域 30 の表面側であって、p⁺領域 30 に沿った位置に第 2 のスパイラル電極 22 が形成されている。そして、第 1 のスパイラル電極

20の両端には2つの入出力電極24、26が接続されている。第2のスパイラル電極22の一方端（例えば外周側）には入出力電極28が設けられている。このように、第1および第2のスパイラル電極20、22に対する入出力電極24、26あるいは入出力電極28の取り付けは、図2に示すように薄い n^+ 領域32あるいは p^+ 領域30を傷つけないように能動領域の外側で行われる。

【0080】このような構造を有する本実施例のLC素子12は、渦巻き形状を有している第1および第2のスパイラル電極20、22のそれぞれがインダクタ導体として機能することになる。また、第1および第2のスパイラル電極20、22のそれぞれに電気的に接続された $p-n$ 接合層36が逆バイアスの状態で使用されると渦巻き形状のキャパシタとして機能する。したがって、第1および第2のスパイラル電極20、22により形成されるインダクタと $p-n$ 接合層36によって形成されるキャパシタとが分布定数的に存在するLC素子12が形成される。

【0081】図4は、本実施例のLC素子12の等価回路を示す図である。同図（A）に示すように、第1のスパイラル電極20がインダクタンスL1を有するインダクタとして機能する。そして、図1に示す接続を行った場合には、一方の入出力電極26から入力された信号がこの第1のスパイラル電極20を介して伝搬され、他方の入出力電極24から出力される。また、他方の第2のスパイラル電極22がインダクタンスL2を有するインダクタとして機能する。

【0082】このような等価回路を有するLC素子12において、第1のスパイラル電極20の電圧レベルを第2のスパイラル電極22の電圧レベルよりも高く設定した場合には、 n^+ 領域32と p^+ 領域30とからなる $p-n$ 接合層36に逆バイアス電圧がかかるため、この $p-n$ 接合層36がキャパシタンスCを有するキャパシタとして機能する。また、このキャパシタは第1のスパイラル電極20と第2のスパイラル電極22の全長にわたって分布定数的に形成されている。

【0083】図4（B）は、上述した逆バイアスを印加するための構成である。具体的には、入出力電極24と28との間に所定の逆バイアス電圧を印加するためのバイアス用電源38を接続する。

【0084】また、同図（C）に示すように、このバイアス用電源38の代わりに、逆バイアスの電圧レベルを任意に変更することができる可変バイアス用電源44を接続することにより、渦巻き形状に形成された $p-n$ 接合層36のキャパシタンスCを任意に変化させることもできる。

【0085】一般に、 $p-n$ 接合層36に印加される逆バイアス電圧の大小に応じて $p-n$ 接合面に生じる空乏層の幅が変化するため、これに伴いキャパシタンスCの値も

変動する。したがって、2つの入出力電極24、28を介して $p-n$ 接合層36に印加される逆バイアス電圧を変えることにより、分布定数的に形成されるキャパシタンスCを任意に変化させ、LC素子12全体としての周波数特性を変更することができる。

【0086】また、図5は図1に示した正弦波発振回路1内において実際にLC素子12に逆バイアスを印加するための具体的構成を示す図であり、一例として逆バイアス電圧を任意に変更可能な可変バイアス用電源44を接続した場合が示されている。

【0087】本実施例の正弦波発振回路1では、図1に示すようにLC素子12の第1および第2のスパイラル電極20、22の一方端同士を接続することにより、このLC素子12を共振回路として用いている。ところが、 $p-n$ 接合層36に逆バイアス電圧を印加するためには、これら第1および第2のスパイラル電極20、22を異なる電位に設定する必要があるため、若干の工夫が必要となる。

【0088】図5（A）において、2つの入出力電極24、28間（第1および第2のスパイラル電極20、22間）に挿入されたキャパシタ16はこのためのものである。すなわち、キャパシタ16を挿入することにより、第1および第2のスパイラル電極20、22を交流的に接続するとともに直流的に分離しており、上述した共振回路としての動作の確保と $p-n$ 接合層36に対する逆バイアス電圧の印加を可能にしている。このキャパシタ16は、LC素子12の共振特性に影響を与えないように充分大きな容量を有することが好ましいが、このキャパシタ16の容量を考慮に入れて正弦波発振回路1全体の発振周波数を決定する場合にはこの限りではない。

【0089】また、同図（A）に示す可変バイアス電源44は、実際に回路の一部として組み込む場合には、同図（B）に示すように可変抵抗52と充分に大きな抵抗値を有する抵抗54とを組み合わせる構成とすることができる。すなわち、可変抵抗52により所定の逆バイアス電圧を作り出し（但し、実際の逆バイアス電圧はこの可変抵抗52により設定される第2のスパイラル電極22側の電位と、インバータ論理回路10の出力端に直接接続された第1のスパイラル電極20の電位との差となる）、この逆バイアス電圧を充分大きな抵抗54を介してLC素子12の入出力電極28に印加することにより、信号の交流成分に影響を与えない、すなわちLC素子12の共振特性に影響を与えない逆バイアス電圧の印加が可能となる。

【0090】また、同図（C）は、第2のスパイラル電極22側のキャパシタ16に代えて、第1のスパイラル電極20の両側に2つのキャパシタ46、48を設けた場合である。帰還ループに挿入された第1のスパイラル電極20の電位を上げ下げするため、第1のスパイラル電極20の全体を直流的に分離する必要があり、このた

めに上述した2つのキャパシタ46, 48が必要となる。

【0091】このように、LC素子12内のpn接合層36に逆バイアス電圧を印加するためには、第1および第2のスパイラル電極20, 22間にキャパシタを設けてこれらを直流的に分離する必要があるが、第1および第2のスパイラル電極20, 22のいずれの側の電位を上げ下げするかは自由であり、相対的にpn接合層36に逆バイアス電圧が印加されればよい。

【0092】なお、図5ではpn接合層36に可変の逆バイアス電圧を印加する場合を例にとり説明したが、図4のバイアス用電源38によって固定の逆バイアス電圧を印加するようにしてもよい。また、このバイアス用電源38を実際の回路の一部として組み込む場合には、図5(B)等に示した可変抵抗52を例えば2つの固定抵抗からなる分圧回路に置き換えればよい。

【0093】図6は、本実施例のLC素子12の製造工程を示す図である。図2のB-B線断面の各製造工程毎の状態が示されている。

【0094】(1) エピタキシャル層の成長：まず最初に、p-Si基板34(ウエハ)表面の酸化膜を除去した後に、p-Si基板34の表面全体にn⁺型エピタキシャル層35を成長させる(同図(A))。

【0095】(2) アイソレーション領域の形成：次に、図2に示したn⁺領域32およびp⁺領域30を除く領域をアイソレーション領域とするために、p型不純物の拡散あるいはイオン注入を行う。

【0096】具体的には、まずエピタキシャル層35の表面を熱酸化して酸化膜40を形成する。そして、フォトリソグラフィによってp領域を形成すべき位置の酸化膜40を除去した後に、p型不純物を熱拡散あるいはイオン注入により選択的に添加することにより、p領域が選択的に形成される。このようにして形成されたp領域は、p-Si基板34の一部となってアイソレーション領域を形成する(同図(B))。

【0097】このようにしてアイソレーション領域の形成が行われた結果、残されたエピタキシャル層35によって渦巻き形状のn⁺領域32が形成される。

【0098】(3) pn接合層の形成：次に、渦巻き形状に形成されたn⁺領域32の一部にp型不純物を熱拡散あるいはイオン注入により導入することにより、渦巻き形状のp⁺領域30を形成する(同図(D))。

【0099】具体的には、まずn⁺領域32を含むp-Si基板34の表面を熱酸化して酸化膜42を形成する。そして、フォトリソグラフィによってp⁺領域30を形成すべき位置の酸化膜42を除去した後に、p型不純物を熱拡散あるいはイオン注入により選択的に添加することにより、p⁺領域30が選択的に形成される。

【0100】このp⁺領域30は、先に形成されたn⁺領域32中に形成する必要があるため、既に導入されて

いるn型不純物の量以上のp型不純物を添加することにより、p⁺領域30が形成される。

【0101】このようにして、n⁺領域32とp⁺領域30とからなる渦巻き形状のpn接合層36が形成される。

【0102】(4) スパイラル電極の形成：次に、熱酸化により表面に酸化膜43を形成した後にフォトリソグラフィによってn⁺領域32とp⁺領域30のそれぞれの表面に渦巻き形状の窓あけを行い、その後この渦巻き形状に窓あけされた部分に、例えばアルミニウムを蒸着することにより第1および第2のスパイラル電極20, 22を形成する(同図(D))。また、その後3つの入出力電極24, 26, 28のそれぞれをアルミニウムの蒸着により形成する。

【0103】本実施例のLC素子12を製造する工程は、基本的には通常のバイポーラトランジスタあるいはダイオードを製造する工程と類似しており、pn接合層36やその間のアイソレーション領域の形状等が異なるものである。したがって、一般のバイポーラトランジスタを製造する工程においてフォトマスクの形状を変更することにより対応することができ、製造が容易になるとともに小型化にも適している。

【0104】なお、上述した本実施例のLC素子12の製造工程においては、最初にエピタキシャル成長によりn⁺領域を表面全体に形成した後にアイソレーションを行う場合を例にとり説明したが、p-Si基板34の表面に酸化膜を形成した後にフォトリソグラフィにより渦巻き形状のn⁺領域32に対応する窓あけを行い、この部分に熱拡散あるいはイオン注入によりn型不純物を導入することによりn⁺領域32を形成した後に、同様の方法により直接的にp⁺領域30を形成してもよい。また、pn接合層を形成する方法については、一般的な半導体製造技術を用いることができる。

【0105】このように、本実施例のLC素子12は、第1および第2のスパイラル電極20, 22のそれぞれがインダクタを形成するとともに、これらの電極間に形成された渦巻き形状のpn接合層36が逆バイアスで使用されることによりキャパシタとして機能する。しかも、第1および第2のスパイラル電極20, 22の全長にわたってpn接合層36が形成されているため、第1および第2のスパイラル電極20, 22によって形成されるインダクタンスL1, L2の2つのインダクタとpn接合層36によって形成されるキャパシタンスCのキャパシタとが分布定数的に存在している。

【0106】図7は、図2および図3に示す構造を有する分布定数型のLC素子12の一般的な特性を示す図である。

【0107】なお、同図に示した特性は、両端近傍に入出力リードが取り付けられている帯状導電体と、一端近傍に接地用リードが取り付けられている帯状導電体とを

誘電体シートを挟んで積層した後に巻き回すことにより形成されたLC素子（例えば、特開平2-26114号公報に開示された「3端子型ノイズフィルタ」）を用いて測定したものである。このLC素子の接地用リードとその近傍に設けられた一方の入出力リードとを電氣的に接続して共通のリードとして取り扱うことにより、このLC素子を2端子素子として使用し、この2つの端子間の特性をベクトルインピーダンスメータにより測定した結果が示されている。なお、同図のAおよびBで示した特性曲線は帯状導電体の各種寸法と巻回し数とを変えて測定した結果をそれぞれ示している。

【0108】同図の特性曲線AあるいはBで示されるLC素子12について、低周波側から高周波側に向かってインピーダンスの大きさを観察していくと、まず極大（a1あるいはb1）となった後に極小（a2あるいはb2）となるように変化する。この極大点は並列共振回路としての傾向を示しており、極小点は直列共振回路としての傾向を示している。一般に、この極大点と極小点の間で位相が大きく変化することが知られており、本実施例の正弦波発振回路1においては、負荷となるキャパシタ16やその他の部品の素子定数との関係で決まるこの間の特定周波数で共振による発振が生じる。

【0109】実際に図2および図3に構造を示したLC素子12を形成した場合には、第1および第2のスパイラル電極20、22をp-Si基板34上に小さな径で形成することになるため、2枚の帯状導電体を誘電体シートを挟んで積層して巻き回すことにより形成したLC素子に比べると、特性全体が高周波側に移行することが考えられ、いずれのLC素子も分布定数的にインダクタとキャパシタとが形成されている点は同じであり、インピーダンス特性自体の傾向に変わりはない。

【0110】本実施例の正弦波発振回路1は、このような特性を有するLC素子12とインバータ論理回路10とをリング状に接続している。したがって、インバータ論理回路10の増幅度のある値以上にすることによりループ利得を1以上に設定した場合には、LC素子12とインバータ論理回路10のそれぞれにおいて信号の位相が180度ずれて一巡して戻ってくる信号の位相のずれが0度あるいは360度となるような周波数で発振する。

【0111】換言すれば、インバータ論理回路10によって位相が180度ずれるため、LC素子12によって位相を180度ずらすとともに、帰還ループを一巡したときの減衰分を反転増幅器であるインバータ論理回路10の増幅率によって補うことができれば、ある周波数の発振が継続されることになる。

【0112】このように、本実施例の正弦波発振回路1は、基本的には1つのインバータ論理回路10とLC素子12、キャパシタ16といった少ない種類の部品を組み合わせるだけで、簡単に正弦波を発生させることがで

きる。特に、2端子素子として使用されるLC素子12は、従来のLC直列共振回路やLC並列共振回路等と異なり、1つの素子内にインダクタとキャパシタとが分布定数的に形成されたものであるため、発振回路を構成する際にインダクタとキャパシタとを別々に用意して接続する手間がなくなる。

【0113】例えば、所定のLとCを有するインダクタとキャパシタを個別に用意してLC共振回路を構成して正弦波発振回路を製造する場合には、異なった材料および異なった工程により製造された各部品を回路設計者が任意に組み合わせることができるため、回路設計者に多くの自由度を与える反面、設計・製造について大きな負担を強いることになる。

【0114】一方、図2に示したLC素子12は、インダクタとキャパシタとが同一工程で同時に製造することができるため、回路設計者の負担を軽減できると同時に製造も容易になる利点がある。また、同一工程でインダクタとキャパシタとが一体的に形成されているため、配線の手間が低減できることは勿論であるが、特性も安定化することになる。

【0115】したがって、このような数々の利点を有するLC素子12を用いて正弦波発振回路1を構成することができれば、その利点はそのまま正弦波発振回路1全体の利点でもあり、本実施例の正弦波発振回路1は、従来の正弦波発振回路よりも設計および製造が容易であり、特性が安定しているといえる。

【0116】さらに、本実施例の正弦波発振回路1は、インダクタ成分とキャパシタ成分とを有するLC素子12が半導体基板（p-Si基板34）上に形成されている点に大きな特徴がある。しかも、当然ながら図1に示したインバータ論理回路10やキャパシタ16も同一の半導体基板上に形成することができるため、正弦波発振回路1の全体を1つの半導体基板上に一体形成することができ、回路全体の大量生産や小型化が可能になる。また、この半導体基板上への回路の一体形成は、現在の半導体製造技術を用い、フォトリソの形状の変更等を行うだけで容易に行うことができるので、大量生産や小型化に伴う大幅なコストダウンも可能になる。

【0117】また、図2および図3に構造を示したLC素子12は、pn接合層36に印加する逆バイアス電圧の値を変更するだけで、分布定数的に形成されるキャパシタンスCの値を変更することができる。一般に、図7に示した特性は、インバータ論理回路10とキャパシタ16の各素子特性を固定化して考えると、LC素子12のインダクタンスL1、L2とキャパシタンスCに基づいて決定されるため、LC素子12のキャパシタンスCを変更することができれば、その変更の度合いに応じて正弦波発振回路1の発振周波数自体が変わることになる。

【0118】このように、本実施例の正弦波発振回路1

は、LC素子12のpn接合層36に印加する逆バイアス電圧を変えることにより、容易に電圧制御型の発振回路とすることができる。しかも、このような電圧制御型の発振回路とした場合であっても、周波数変更用の素子を追加する必要もなく、正弦波発振回路1の構成部品を最小限に押さえることができる。

【0119】図8は、上述したLC素子12の変形例を示す図である。図2および図3に構造を示したLC素子12は、第1および第2のスパイラル電極20、22がほぼ全長にわたって平行に、すなわちほぼ同一の長さに形成されたものであるが、図8に示したLC素子12aは、図2および図3に示した第2のスパイラル電極22を所定のターン数（例えば約1ターン）短くするとともに、これに対応するpn接合層36も所定のターン数分短くした点に特徴がある。

【0120】図8に示すように、第2のスパイラル電極22および対応するpn接合層36を部分的に省略した場合であっても、短くなった第2のスパイラル電極22およびこれに隣接する第1のスパイラル電極20により形成されるインダクタと、短くなったpn接合層36により形成されるキャパシタとが分布定数的に形成されるため、基本的には図2および図3に示したLC素子12と同様の特性を有することになる。

【0121】図9は、図8に示したLC素子の等価回路を示す図である。同図(A)に示すように、第2のスパイラル電極22のターン数が少なくなった分だけインダクタンスL3も小さくなり、これに対応して分布定数的に形成されるキャパシタンスC1も小さくなる。

【0122】また、同図(B)、(C)には短くなったpn接合層36に固定あるいは可変の逆バイアス電圧を印加するための構成が示されている。図4(B)、

(C)と同様に、入出力電極24と28との間に固定あるいは可変の逆バイアス電圧を印加するためのバイアス用電源38あるいは可変バイアス用電源44を接続すればよい。

【0123】このように、LC素子12aの第1および第2のスパイラル電極20、22を部分的に対向させるとともにそれらの電極間に形成されたpn接合層36を短く形成した場合には、このpn接合層36により分布定数的に形成されるキャパシタンスC1が図2および図3に示したLC素子の場合に比べて小さくなるため周波数特性も変化する。換言すれば、この部分的に対向する第1および第2のスパイラル電極20、22の長さを調整するとともに、その間に形成されるpn接合層36を所定の長さとするにより、所望の周波数特性が得られることになり、本実施例の正弦波発振回路1等における発振周波数を任意に設定することができる。これにより、正弦波発振回路の設計の自由度が増すことにもなる。

【0124】図10は、上述したLC素子12の他の変

形例を示す図である。同図に示すLC素子12bは、第2のスパイラル電極22側を複数に分割（例えば2分割）するとともに、第1および第2のスパイラル電極20、22間に形成されるpn接合層36も複数に分割した点に特徴がある。すなわち、同図に示すLC素子12bは、第2のスパイラル電極22が2つの分割電極片22-1、22-2から構成されており、これら各分割電極片22-1、22-2に接するp⁺領域30も分割されている。分割された各p⁺領域30のそれぞれとn⁺領域32とにより2組のpn接合層36が形成されている。さらに、2つの分割電極片22-1、22-2の各一方端（最外周側と最内周側）にはそれぞれ入出力電極28が設けられている。

【0125】図11は、図10に示したLC素子の等価回路を示す図である。同図(A)に示すように、第1のスパイラル電極20の全体がインダクタンスL1を有するインダクタとして機能するとともに、各分割電極片22-1、22-2のそれぞれがインダクタンスL4、L5を有するインダクタとして機能する。そして、第1のスパイラル電極20と各分割電極片22-1、22-2のそれぞれの間に形成されたpn接合層36がキャパシタンスC2、C3を有するキャパシタとして機能し、しかもこれらのキャパシタが分布定数的に形成される。

【0126】また、図11(B)および(C)には、分割されたpn接合層36に固定あるいは可変の逆バイアス電圧を印加するための構成が示されている。図4

(B)、(C)と同様に、入出力電極24と28との間に固定あるいは可変の逆バイアス電圧を印加するためのバイアス用電源38あるいは可変バイアス用電源44を接続すればよい。また、このような電源を実際の回路内で実現する場合には、図5(B)あるいは(C)に示すような可変抵抗52（バイアス電圧が固定の場合はこれに代えて2つの抵抗からなる分圧回路）と充分大きな抵抗値を有する抵抗54を用いればよい。

【0127】このように、LC素子12bの第2のスパイラル電極22およびこれに対応するpn接合層36を分割した場合には、各分割電極片22-1、22-2の自己インダクタンスL4、L5が小さくなる。したがって、これらの自己インダクタンスによるLC素子全体の特性への影響は小さくなり、第1のスパイラル電極20が有するインダクタンスL1と分布定数的に形成されるキャパシタC2、C3とによってLC素子12の特性がほぼ決定されることになる。このため、図8に示したLC素子12aと同様に、第2のスパイラル電極22の分割状態や、ほぼ特性を決定する第1のスパイラル電極20の形状等を検討することにより、所望の周波数特性を有するLC素子とすることができ、設計の自由度が増すことになる。

【0128】〔第2実施例〕図12は、本発明を適用した第2実施例の正弦波発振回路2の詳細な構成を示す図

である。本実施例の正弦波発振回路 2 は、上述した第 1 実施例の正弦波発振回路 1 が反転増幅器としてインバータ論理回路 10 を用いていたのに対し、反転増幅器として MOS 型（あるいは接合型）の FET によるソース接地回路を使用している点に特徴がある。

【0129】すなわち、同図に示す正弦波発振回路 2 は、図 1 に示すインバータ論理回路 10 を、ソース側が接地された MOS 型の FET 56 とこの FET 56 のドレイン側に接続された抵抗 58 とに置き換えた構成を有しており、これら FET 56 と抵抗 58 とにより反転増幅器として機能するソース接地回路が構成されている。

【0130】正弦波発振回路 2 の動作原理は、上述した正弦波発振回路 1 と同じであり、LC 素子 12 とソース接地回路とによって一巡した信号の位相のずれが 0 度あるいは 360 度になる特定周波数の信号が選択され、この周波数で発振が行われる。

【0131】また、LC 素子 12 については、図 2 および図 3 に示したような p-Si 基板 34 に第 1 および第 2 のスパイラル電極 20、22 と pn 接合層 36 を形成することにより構成することができ、回路内の接続方法も MOS-FET 56 と抵抗 58 とからなるソース接地回路を反転増幅器として使用している他は図 1 に示した正弦波発振回路 1 と変わるところはない。なお、LC 素子 12 を図 8 および図 10 に示した LC 素子 12a あるいは 12b に置き換えることができることはいうまでもない。

【0132】このように、反転増幅器として FET 56 と抵抗 58 とからなるソース接地回路を用いるとともに、インダクタとキャパシタとが分布定数的に形成されて所定の共振特性を有する LC 素子 12 をこの反転増幅器に直列に、かつリング状に接続することにより正弦波発振回路 2 を構成しており、簡単な構成により正弦波を発生させることができる。

【0133】特に、ソース接地回路により反転増幅器を構成した場合には、本実施例の正弦波発振回路 3 の全体を一般的な半導体製造技術により製造することができるため、半導体基板上に一体形成する際にさらに好都合となり、回路の高密度実装化や IC 化、LSI 化に適している。

【0134】図 13 は、本実施例の変形例を示す図である。同図 (A) に示す正弦波発振回路 3a は、図 12 に示した正弦波発振回路 2 にバイアス回路を追加した点に特徴がある。

【0135】すなわち、図 12 に示した正弦波発振回路 2 では LC 素子 12 を介した帰還信号が直接 FET 56 のゲートに入力されているため、ソース接地回路を構成する抵抗 58 等の素子定数を適切に調整することにより FET 56 が MOS 型の場合に限り、FET 56 の動作点は自動的に最適な値に設定される。これに対し、図 13 (A) に示した正弦波発振回路 3a では、任意のゲ-

ト電圧を設定可能なバイアス回路が抵抗 60 と 62 とによる分圧回路により形成されており、FET 56 の最適な動作点の調整を簡単に行うことができる。

【0136】なお、キャパシタ 18 は、FET 56 のゲートに帰還される信号から直流成分を除去するための直流成分分離回路として機能するものであり、入力される信号の位相を変えない程度の大きな容量値を有するものを使用することが好ましい。

【0137】また、図 12 (B) に示した正弦波発振回路 3b は、接合型の FET 64 を用いてソース接地回路を構成した点に特徴がある。

【0138】MOS 型の FET 56 を接合型の FET 64 に置き換えるとともに、FET 64 のソース側に抵抗 82 とキャパシタ 84 からなる並列回路を挿入し、ゲート側を抵抗 80 を介して接地する。

【0139】この並列回路を構成する抵抗 82 は、比較的低い抵抗値を有している。これは、あまり抵抗値が大きくなると抵抗 82 による電圧降下が大きくなるため、FET 64 のソース・ドレイン間電圧が小さくなり、適切な動作点が確保できなくなるおそれがあるからである。また、キャパシタ 84 は、交流的に FET 64 のソースを接地するためのものである。さらに、抵抗 80 は高抵抗を有しており、FET 64 のゲート側を交流的に接地しないようにすると同時にこのゲート側のバイアスを安定させるものである。このような接続により、FET 64 のゲートとソースあるいはドレイン間に相対的に逆バイアス電圧が印加され、FET 64 と抵抗 58 によるソース接地回路が反転増幅器として動作する。

【0140】なお、上述した第 2 実施例の正弦波発振回路 2、3a、3b において、実際に LC 素子 12、12a、12b 内の pn 接合層 36 に固定あるいは可変の逆バイアス電圧を印加する場合には、図 5 に示すようにキャパシタ 16 等を用いて第 1 および第 2 のスパイラル電極 20、22 を直流的に分離する必要があることはいうまでもない。また、この点については後述する第 3 実施例の正弦波発振回路についても同様である。

【0141】〔第 3 実施例〕図 14 は、本発明を適用した第 3 実施例の正弦波発振回路 4 の詳細な構成を示す図である。本実施例の正弦波発振回路 4 は、上述した第 1 実施例の正弦波発振回路 1 が反転増幅器としてインバータ論理回路 10 を、第 2 実施例の正弦波発振回路 2、3 が反転増幅器として MOS 型あるいは接合型の FET によるソース接地回路を使用していたのに対し、反転増幅器としてバイポーラトランジスタによるエミッタ接地回路を使用している点に特徴がある。

【0142】すなわち、同図に示す正弦波発振回路 4 は、図 1 に示すインバータ論理回路 10 をバイポーラトランジスタ 66 と抵抗 68 とからなるエミッタ接地回路に置き換えた構成を有しており、このエミッタ接地回路が反転増幅器として動作する。

【0143】なお、バイポーラトランジスタ66のベースにはコレクタから抵抗70を介して所定のバイアスが印加されており、これにより適切な動作点が設定されている。また、帰還ループに挿入されたキャパシタ72は、直流成分を除去するための直流成分分離回路として機能するものである。

【0144】正弦波発振回路4の動作原理は、上述した正弦波発振回路1等と同じであり、LC素子12とエミッタ接地回路とによって一巡した信号の位相のずれが0度あるいは360度になる特定周波数の信号が選択され、この周波数で発振が行われる。

【0145】また、LC素子12については、第1実施例および第2実施例と同様に、図2および図3に示したようなp-Si基板34に第1および第2のスパイラル電極20、22とpn接合層36を形成することにより構成することができ、回路の接続方法もバイポーラトランジスタ66と抵抗68とからなるエミッタ接地回路を反転増幅器として使用している他は図1に示した正弦波発振回路1等と変わるところはない。なお、LC素子12を図8および図10に示したLC素子12aあるいは12bに置き換えることができることはいうまでもない。

【0146】このように、バイポーラトランジスタ66と抵抗68とからなる反転増幅器（エミッタ接地回路）とLC素子12とをリング状に接続するという簡単な構成により正弦波を発生させることができる。

【0147】また、図2および図3に示したLC素子12は、バイポーラトランジスタと類似した断面構造を有しているため、これらのLC素子12とバイポーラトランジスタ66とを含む正弦波発振回路4の全体を同一の半導体製造技術を用いて形成することが可能であり、一体成形による大量生産および小型化にさらに好都合となる。

【0148】なお、コレクタに接続したバイアス印加用の抵抗70を用いずに、図13(A)に示したような抵抗60、62とによる分圧回路を追加して、バイポーラトランジスタ66のベースに一定のバイアス電圧を印加するようにしてもよい。このように、バイアス印加用の分圧回路を別に用意することにより、コレクタに現れる電圧レベルにかかわらず常に一定のバイアス電圧を印加することができ、バイポーラトランジスタ66の安定した動作点を確保することができるようになる。

【0149】〔その他の実施例〕次に、本発明を適用した他の実施例について説明する。以下に説明する各種実施例は、上述した第1実施例～第3実施例において使用したLC素子12を他の構造によって実現したものである。

【0150】図15は、他の実施例におけるLC素子の概略構造を示す平面図である。また、図16は図15に示したA-A線拡大断面図である。

【0151】これらの図に示す本実施例のLC素子12cは、半導体基板であるp-Si基板134の表面付近にn領域130を形成することにより、n領域130とp領域132からなるpn接合層136が形成されている。

【0152】また、本実施例のLC素子12cは、上述したn領域130の表面側に渦巻き形状の第1のスパイラル電極120が形成されている。同様に、p領域132の表面側、すなわち第1のスパイラル電極120に対してpn接合層136を挟んだ反対側であって、第1のスパイラル電極120とほぼ対向する位置に第2のスパイラル電極122が形成されている。そして、第1のスパイラル電極120の両端には2つの入出力電極24、26が設けられている。第2のスパイラル電極122の一方端（例えば外周側）には入出力電極28が設けられている。

【0153】このような構造を有する本実施例のLC素子12cは、図2および図3に示したLC素子12と同様に、渦巻き形状を有する第1および第2のスパイラル電極120、122のそれぞれがインダクタ導体として機能することになる。

【0154】また、第1および第2のスパイラル電極120、122の間に形成されたpn接合層136が逆バイアスの状態で使用されるとキャパシタとして動作する。なお、図22に示すように、pn接合層136は大きな対向電極（n領域130とp領域132のそれぞれが対向電極に相当する）を有する1つのキャパシタと考えられる。しかし、一般にn領域130とp領域132のそれぞれは第1および第2のスパイラル電極120、122に比べて比抵抗が大きいため、第1および第2のスパイラル電極120、122間に交流信号を流した場合には、対向する第1および第2のスパイラル電極120、122間の渦巻き形状のキャパシタを介してのみ交流信号が流れ、第1および第1のスパイラル電極120、122の異なる周回部分間に形成されるキャパシタにはほとんど交流信号が流れない。したがって、第1および第2のスパイラル電極120、122の各周回部分以外のpn接合層136はキャパシタとしてほとんど機能することなく、第1および第2のスパイラル電極120、122の周回部分に沿った渦巻き形状部分のみが実質的にキャパシタとして動作すると考えることができる。

【0155】したがって、第1および第2のスパイラル電極120、122により形成されるインダクタとpn接合層136により形成される渦巻き形状のキャパシタとが分布定数的に存在するLC素子12cが構成される。

【0156】このような構造を有するLC素子12cの等価回路は、図4に示したものをそのまま適用することができる。また、固定あるいは可変の逆バイアス電圧を

印加するバイアス用電源 38 あるいは可変バイアス用電源 44 を接続することにより、固定あるいは可変の所定の逆バイアス電圧を印加でき、これにより所定のキャパシタを設定できる点も同様である。

【0157】図 17 は、図 15 に示した LC 素子 12 の変形例を示す図であり、図 8 に対応するものである。すなわち、図 17 に示した LC 素子 12 d は、図 15 に示した LC 素子の第 2 のスパイラル電極 122 を所定のターン数（例えば約 1 ターン）短くした点に特徴があり、この変更にもない、第 1 および第 2 のスパイラル電極 120、122 間にあつて分布定数的なキャパシタとして機能する渦巻き形状の pn 接合層 136 も所定のターン数分短くなる。

【0158】図 18 は、図 15 に示した LC 素子 12 c の他の変形例を示す図であり、図 10 に対応するものである。すなわち、第 2 のスパイラル電極 122 を複数に分割（例えば 2 分割）するとともに、これら各分割電極片 122-1、122-2 の一方端のそれぞれに入出力電極 28 を接続した点に特徴がある。等価回路としては図 11 に示したものをそのまま適用することができる。

【0159】このように、第 2 のスパイラル電極 122 を複数に分割することにより、これに対応して形成される渦巻き形状の pn 接合層 136 も複数に分割される。したがって、第 2 のスパイラル電極 122 の各分割電極片の自己インダクタンスが小さくなって、LC 素子 12 e 全体の特性が第 1 のスパイラル電極 120 のインダクタンス L1 および分割された pn 接合層 136 が有する各キャパシタンス C2、C3 とによりほぼ決定されることになる。

【0160】図 17 あるいは図 18 に示したように、第 1 および第 2 のスパイラル電極 120、122 を部分的に対向させることにより、あるいは一方の第 2 のスパイラル電極 122 を複数に分割することにより、図 15 に示した LC 素子 12 c とは周波数特性が異なる LC 素子とすることが可能となる。したがって、第 2 のスパイラル電極 122 の長さや分割する場所あるいは分割数を任意に設定することにより、所望の周波数特性を有する LC 素子を得ることができ、これにより図 1 に示した正弦波発振回路 1 等の発振周波数がある範囲で任意に設定することができる。

【0161】なお、上述した第 1 および第 2 のスパイラル電極 120、122 をほぼ対向させて形成した LC 素子は、p-Si 基板 134 の全体を n 領域 130 と p 領域 132 からなる pn 接合層 136 とした場合を例にとり説明したが、図 19 に示すように、n 領域 130（あるいは p 領域 132 でもよい）を第 1 のスパイラル電極 120 に沿った渦巻き形状としてもよい。この場合には、渦巻き形状に沿って形成された n 領域 130 と p 領域 132 との境界面（pn 接合面）に空乏層が生じて渦巻き形状のキャパシタが形成されることになるため、図

16 に示した構造よりも確実に渦巻き形状のキャパシタを形成することができる。

【0162】また、実際に p-Si 基板 134 を n 領域 130 と p 領域 132 とからなる pn 接合層 136 とする場合には、p-Si 基板 134 の厚みをウエハの状態よりも薄くする必要がある。また、一般には n 型ウエハの方が入手しやすいことを考慮して、図 20 に示すような構造としてもよい。

【0163】すなわち、同図（A）に示すように、n-Si 基板 144 の表面にエピタキシャル成長等により p 領域 132 を形成した後に n-Si 基板 144 の裏面側にエッチングをおこない、このエッチングを行った部分に第 1 および第 2 のスパイラル電極 120、122 を形成する。また、同図（B）に示すように、n-Si 基板 144 の表面側に順に p⁺領域 146 および n⁺領域 148 を形成した後に n-Si 基板 144 のエッチングを行い、このエッチングを行った部分に第 1 および第 2 のスパイラル電極 120、122 を形成する。また、同図（C）に示すように、n-Si 基板 144 の一部に第 1 のスパイラル電極 120 にほぼ沿うように渦巻き形状の p⁺領域 146 を形成した後に、さらにその上に渦巻き形状の n⁺領域 148 を形成し、その後 n-Si 基板 144 の裏面側であつて第 2 のスパイラル電極 122 に対応する部分のエッチングを行い、このエッチングを行った部分に第 1 および第 2 のスパイラル電極 120、122 を形成する。

【0164】また、上述した各変形例の LC 素子は第 1 のスパイラル電極 120 と第 2 のスパイラル電極 122 とを完全に対向するように図示したが、第 1 および第 2 のスパイラル電極 120、122 が pn 接合層 136 によって形成されるキャパシタの電極として機能すればよいので、これらのスパイラル電極 120、122 をほぼ対向するように少しずらして配置してもよい。

【0165】図 21 は、LC 素子の他の例を示す図である。同図に示す LC 素子 12 f は、図 2 に示した LC 素子 12 の第 1 および第 2 のスパイラル電極 20、22 の形状を変更した点に特徴がある。具体的には本実施例の LC 素子 12 f は、図 2 において渦巻き形状を有する第 1 および第 2 のスパイラル電極 20、22 に代えて蛇行形状を有する第 1 および第 2 の電極 150、152 を有しており、これら 2 つの電極 150、152 に沿うように蛇行形状を有する pn 接合層 154 が形成されている。

【0166】図 22 は、蛇行形状を有する第 1 および第 2 の電極 150、152 によって形成されるインダクタの原理を示す図である。同図に示すように、凹凸状に屈曲した蛇行形状を有する電極 150 あるいは 152 に一方向の電流を流した場合には、隣接する凹凸部分で向きが反対となるような磁束が交互に発生し、あたかも 1/2 ターンのコイルが直列に接続された状態になる。した

がって、第1および第2の電極150、152のそれぞれは所定のインダクタンスを有するインダクタとして機能し、等価回路については図4に示したものをそのまま適用することができる。

【0167】また、渦巻き形状の電極とした場合には電極の両端部のいずれか一方が中心部に位置し、他方が周辺部に位置するのに対し、蛇行形状の電極150、152ではその両端が周辺部に位置することになるので、入出力電極24、26、28を外部に引き出す際に好都合となる。

【0168】また、このような構造を有するLC素子12fにおいて、第2の電極152側を短く形成したり、複数に分割するようにしてもよい。

【0169】図23は、図21に示した第2の電極152側の長さを約半分にしたLC素子12gを示しており、図8に対応している。また、図24は、この第2の電極152側を複数に分割（例えば2分割）したLC素子12hを示しており、図10に対応している。

【0170】また、図25～27は、LC素子の他の例を示す図である。図25に示すLC素子12iは、蛇行形状を有する第1および第2の電極160、162をp-Si基板134を挟んでほぼ対向するように形成したものであり、図15に対応するものである。すなわち、図15に示したLC素子12cは、渦巻き形状の第1および第2のスパイラル電極120、122を対向させたものであるのに対し、本実施例のLC素子12iは第1および第2の電極160、162の形状を蛇行形状とした点に特徴がある。したがって、蛇行形状を有する第1および第2の電極160、162のそれぞれが所定のインダクタンスを有するインダクタとして機能するとともに、これらに挟まれた蛇行形状のpn接合層136（断面構造は図16に示したものと同一）が分布定数的に形成されたキャパシタとして機能することになる。

【0171】また、図26に示したLC素子12jは、図25において示した第2の電極162の長さを約半分にすることにより第1および第2の電極160、162を部分的に対向させたものであり、図17に対応している。さらに、図27に示したLC素子12kは、図25において示した第2の電極162を2分割するとともに、それぞれの端部に入出力電極28を接続したものであり、図18に対応するものである。

【0172】このように、pn接合層136が形成されたp-Si基板134を挟んで蛇行形状の第1および第2の電極160、162を対向させた場合であっても、インダクタとキャパシタとが分布定数的に形成されたLC素子を形成することができ、このLC素子を用いて図1あるいは図12等 に示した正弦波発振回路を構成することができる。しかも、LC素子12が形成されたp-Si基板134上に併せてインバータ論理回路10等を形成することが可能であり、一体成形による大量生産や

小型化も容易に実現することができる。

【0173】図28はLC素子の他の例を示す図である。また、図29は図28のA-A線拡大断面図、図30は図28のB-B線拡大断面図、図31は図28のC-C線拡大断面図である。

【0174】これらの図に示す本実施例のLC素子12mは、p-Si基板34の表面付近の隔たった位置に形成された拡散領域であるソース212とドレイン214の間をゲートとして機能する渦巻き形状のスパイラル電極210に対する電圧の印加によって形成されるチャネル222によって接続することに特徴がある。

【0175】なお、本実施例のLC素子12m（後述するMOS構造を有するLC素子も同様）は、MOS型の断面構造を有しているため、基本的に類似する断面構造を有するMOS型のFETのソースおよびドレイン等に対応する部位についてはそのままの名称を使用している。このように、便宜的にソースあるいはドレイン等の名称を用いているため、例えばソースとドレインを入れ換える等の変更は自由である。

【0176】上述したソース212およびドレイン214は、p-Si基板34を反転させてn⁺層の拡散領域として形成される。例えば、As⁺イオンを熱拡散あるいはイオン打ち込みにより注入して不純物濃度を高めることにより形成される。

【0177】また、ゲートとして機能するスパイラル電極210は、渦巻き形状の一方の端部がソース212の一部に、他方の端部がドレイン214の一部にオーバーラップするように、p-Si基板34の表面に形成された絶縁層226を挟んで形成されている。スパイラル電極210は、例えばアルミニウムや銅あるいは銀等の薄膜を形成することによって、あるいは拡散またはイオン注入でPを多量にドーピングすることにより形成する。

【0178】また、絶縁層226は、p-Si基板34の表面において、このp-Si基板34とスパイラル電極210とを絶縁するためのものである。p-Si基板34の全表面（あるいは少なくともスパイラル電極210に対応する部分）がこの絶縁層226により覆われており、さらにこの絶縁層226の表面に上述したスパイラル電極210が形成される。この絶縁層226は、例えばPを添加したSiO₂（P-ガラス）によって形成されている。

【0179】また、上述したスパイラル電極210、ソース212、ドレイン214のそれぞれには、図28～図31に示すように、入出力電極28および入出力電極24、26が接続されている。すなわち、スパイラル電極210に対する入出力電極28の取り付けは、図28に示すように、薄いゲート膜（絶縁層226）を傷付けないように能動領域の外側で行われる。また、ソース212への入出力電極24の取り付け、およびドレイン214への入出力電極26の取り付けは、図31あるいは

図 29 に示すように、ソース 212 およびドレイン 214 の一部を露出させた後に、アルミニウムや銅あるいは金や銀等の金属膜を付けることにより行われる。また、渦巻き形状のほぼ中心部分に位置するドレイン 214 に接続された入出力電極 26 は、図 30 に示すように、スパイラル電極 210 の各周回部分と絶縁状態を保つように外周側に引き出されている。

【0180】 上述した MOS 構造を有する本実施例の LC 素子 12m は、n チャネルエンハンスメント型の構造を有しているものとすれば、スパイラル電極 210 に正の電圧（正確にはサブストレートおよびソース 212 およびドレイン 214 に対して相対的に正の電圧）が印加されたときにはじめて n 型のチャネル 222 が形成されることになる。そして、このチャネル 222 と上述したスパイラル電極 210 のそれぞれが渦巻き形状のインダクタ用導体として機能するとともに、これらチャネル 222 およびスパイラル電極 210 の間には分布定数的なキャパシタが形成される。

【0181】 図 32 は、チャネル 222 が形成される状態を示す断面図であり、スパイラル電極 210 の渦巻き方向に対して垂直方向にとった断面が示されている。スパイラル電極 210 に対して、すなわちスパイラル電極 210 に接続された入出力電極 28 に正のゲート電圧が印加されていない状態では、同図（A）に示すように p-Si 基板 34 の表面にはチャネル 222 が現れない。したがって、この状態では図 28 に示したソース 212 とドレイン 214 とが絶縁された状態にある。

【0182】 ところが、スパイラル電極 210 に対して正のゲート電圧を印加すると、図 32（B）に示すように、スパイラル電極 210 に対応する p-Si 基板 34 の表面付近に n 領域からなるチャネル 222 が出現する。このチャネル 222 は、スパイラル電極 210 の全長にわたって形成されるため、スパイラル電極 210 とチャネル 222 のそれぞれに蓄積される電荷によりこれらの間には分布定数的なキャパシタが形成されることになる。

【0183】 図 33 は、本実施例の LC 素子 12m の断面構造であり、スパイラル電極 210 の渦巻き方向に沿った断面が示されている。同図に示すように、スパイラル電極 210 に平行にチャネル 222 が形成され、このチャネル 222 によってソース 212 とドレイン 214 とが導通状態になる。例えば、エンハンスメント型の場合は、スパイラル電極 210 にゲート電圧に相当する電圧を印加した状態ではじめてこのチャネル 222 が形成されてソース 212 とドレイン 214 とが導通状態となるが、スパイラル電極 210 に印加するゲート電圧を変えることによりチャネル 222 の幅および深さが変わるため、ソース 212 とドレイン 214 との間のチャネル 222 の抵抗値を変化させることができる。

【0184】 図 34 は、本実施例の LC 素子 12m の等

価回路を示す図である。同図（A）に示す等価回路は、スパイラル電極 210 に所定のバイアス電圧を印加することによりチャネル 222 が形成され、これらのそれぞれがインダクタンス L1 および L2 を有するインダクタとして機能する場合が示されている。また、これらスパイラル電極 210 とチャネル 222 とによりキャパシタ C を有する渦巻き形状のキャパシタが形成される。

【0185】 なお、後述するように、チャネル 222 が形成される位置にあらかじめ n 型のキャリアを注入しておくデプレッション型構造としてもよい。

【0186】 このような等価回路を有する本実施例の LC 素子 12m は、信号入出力路となるチャネル 222 が渦巻き形状に形成されるため、インダクタンス L1 を有するインダクタ導体として機能する。同様に、スパイラル電極 210 がインダクタンス L2 を有するインダクタ導体として機能する。また、これら 2 つのインダクタ導体は、絶縁層 226 を挟んで配置されることになるため、これらスパイラル電極 210 とチャネル 222 によって所定のキャパシタンス C を有するキャパシタが分布定数的に形成される。

【0187】 したがって、この LC 素子 12m は、図 2 等に示した LC 素子と同様に、インダクタとキャパシタとが分布定数的に形成されたものであり、図 1 に示した正弦波発振回路 1 内の LC 素子 12 に置き換えて使用することができる。特に、この LC 素子 12m は MOS 構造を有しているため、製造工程が単純であり、しかも IC 化あるいは LSI 化に際して好都合となる。

【0188】 また、図 34（B）は、スパイラル電極 210 に対して可変のゲート電圧 V_g を印加する場合の構成を示したものである。スパイラル電極 210 の一方端に設けられた入出力電極 28 に印加するゲート電圧 V_g （正確には図 33 においてスパイラル電極 210 とサブストレート 224 との間に印加されるゲート電圧）を変えることにより、チャネル 222 の深さが変わるため、チャネル 222 の移動度が変わって、結果的にチャネル 222 の抵抗値を任意に変換させることができる。

【0189】 これにより、LC 素子 12m における周波数特性も変化するため、この LC 素子 12m を用いて図 1 あるいは図 2 等に示した正弦波発振回路を構成した場合には、印加するゲート電圧 V_g に応じてその発振周波数が変化する電圧制御型の正弦波発振回路を容易に実現することができる。

【0190】 なお、上述した LC 素子 12m は、ソース 212 とドレイン 214 の間に n チャネルを形成する場合を説明したが、この場合はキャリアとして電子が使用されるため移動度が大きく、チャネル 222 の抵抗が小さくなる。これに対し、n-Si 基板上に p チャネルを形成することにより、上述した LC 素子 12m を形成するようにしてもよい。この場合は、キャリアとしてホールが使用されるため、チャネル 222 の抵抗が比較的大

きくなり、上述したnチャネルの場合と比較すると異なる特性を有することになる。

【0191】また、上述したLC素子12mは、スパイラル電極210がその渦巻き方向に長いため、確実にチャネル222が形成されるようにするために、サブストレート224側の電位をスパイラル電極210の電位より低く設定することが必要となる。

【0192】図35は、本実施例のLC素子12mの製造工程を示す図であり、一例としてエンハンスメント型の場合が示されている。なお、同図は、スパイラル電極210の渦巻き方向に断面をとったものである。

【0193】(1) 酸化膜の形成：まず最初に、p-Si基板34の表面を熱酸化することにより、二酸化シリコンを形成する(同図(A))。

【0194】(2) ソース・ドレインの窓開け：次に、p-Si基板34表面の酸化膜に対してフォトリソを行うことにより、ソース212およびドレイン214に対応する部分の窓開けを行う(同図(B))。

【0195】(3) ソース・ドレインの形成：次に、窓開けした部分からn型不純物を注入することによりソース212およびドレイン214を形成する(同図(C))。例えば、n型不純物としてAs⁺が用いられ、この不純物が熱拡散によって注入される。また、このn型不純物をイオン打ち込みにより注入する場合には、上述した(2)における窓開けは不要となる。

【0196】(4) ゲート領域の除去：次に、スパイラル電極210を形成したい部分の酸化膜を除去することにより、ゲート領域の開口部を形成する(同図(D))。

本実施例のLC素子12mの場合は、スパイラル電極210を渦巻き形状に形成する必要があるため、このゲート領域開口部の形成も渦巻き形状になるように行われる。このようにしてスパイラル電極210に対応する部分のみp-Si基板34が露出することになる。

【0197】(5) ゲート酸化膜の形成：次に、このようにして部分的に露出したp-Si基板34に対して新しい酸化膜、すなわち絶縁層226の形成を行う(同図(E))。

【0198】(6) ゲートおよび電極の形成：次に、例えばアルミニウム等を蒸着することにより、ゲートとして機能するスパイラル電極210を形成するとともに、ソース212に接続される入出力電極24およびドレイン214に接続される入出力電極26のそれぞれを形成する(同図(F))。

【0199】このようにしてLC素子12mを製造する工程は、基本的には通常のMOS-FETを製造する工程と類似しており、スパイラル電極210の形状等が異なるのみであるといえる。したがって、1つの半導体基板上にLC素子12mとともに、インバータ論理回路10等の他の部品を一体形成した正弦波発振回路を形成す

る際に好都合となる。

【0200】また、図28に示した本実施例のLC素子12mは、渦巻き形状のスパイラル電極210に対応して形成されるチャネル222を信号の伝搬路(帰還ループの一部)として用いるようにしたが、チャネル222とスパイラル電極210の機能を入れ替えるようにしてもよい。

【0201】図36に示すLC素子12nは、スパイラル電極210の両端に入出力電極24、26を接続することによりこのスパイラル電極210を信号の入出力路として用いるとともに、チャネル222の一方端に形成されたソース212(あるいはドレイン214)に入出力電極28を接続したものである。

【0202】一般に、チャネル222の比抵抗はスパイラル電極210の電極に比べて高いため、図1の正弦波発振回路1等においてLC素子のチャネル222を介して帰還ループを形成する場合には、信号の電圧レベルの減衰量が問題となる。すなわち、反転増幅器であるインバータ論理回路10によって増幅した際のループゲインが1以上でなければ発振が継続されないため、チャネル222による減衰分を補うだけの増幅率をインバータ論理回路10にもたせる必要がある。このため、図28に示したLC素子12mを用いて正弦波発振回路1等を構成した場合には、これらLC素子12mが形成されたp-Si基板34のキャリア密度等を充分検討してチャネル222の比抵抗を小さくしたり、このチャネル222を充分な深さで形成するためにスパイラル電極210とサブストレート224との間に印加する逆バイアス電圧(ゲート電圧)を充分大きく設定する必要がある。

【0203】これに対し、図36に示したLC素子12nにおいては、金属材料でスパイラル電極210を形成する場合が一般的であり、この場合は金属材料で形成されたスパイラル電極210同士が直列接続されて帰還ループを形成しているため、比抵抗が充分小さく、このような問題が生じない。

【0204】また、スパイラル電極210側を信号の入出力路として用いる場合には、ソース212あるいはドレイン214のいずれか一方に入出力電極28を接続するため、他方を省略することができる。

【0205】また、上述したLC素子12m等は、スパイラル電極210に印加する電圧レベルをサブストレート224に比べて相対的に高くしたときにチャネル222が形成されるエンハンスメント型の素子について説明したが、デプレッション型とすることもできる。すなわち、図28あるいは図36に示したチャネル222の領域にあらかじめキャリアを注入することによりn型領域を形成しておく。これにより、スパイラル電極210に印加する電圧レベルを相対的に高くすることなくチャネル222を形成することができる。あるいはスパイラル電極210に印加する電圧レベルとチャネル幅等との関

係を変えることができる。また、注入するキャリアはスパイラル電極210に沿った一部の領域のみに注入してもよい。

【0206】図37および図38は、図28に示したLC素子12mの変形例を示す図であり、図37にはスパイラル電極210とチャネル222とを部分的に対向させたLC素子12pが、図38にはスパイラル電極210側を複数に分割（例えば2分割）したLC素子12rがそれぞれ示されている。

【0207】図37に示したLC素子12pは、機能的には図8に示したLC素子12aに対応するものであり、図9に示した等価回路を適用することができる。同様に図38に示したLC素子12rは、図10に示したLC素子12bに対応するものであり、等価回路としては図11に示したものを適用することができる。

【0208】このように、スパイラル電極210とチャネル222とを部分的に対向させた場合、あるいはスパイラル電極210側を複数に分割した場合であっても、スパイラル電極210およびチャネル222のそれぞれがインダクタとして機能するとともに、これらの間には分布定数的にキャパシタが形成される点に変わりはなく、図1に示した正弦波発振回路1等に適用することができる。しかも、図28に示したLC素子12mとは周波数特性が異なるLC素子が形成されるため、一定範囲で正弦波発振回路1等による発振周波数を調整することができる。

【0209】ただし、図38に示したLC素子をエンハンスメント型の素子として構成した場合には、スパイラル電極210の分割部分においてチャネル222も分割されてしまい、図1に示した正弦波発振回路1等における帰還ループを形成しないため、p-Si基板34の表面近傍であってこの分割部分に対応する位置にあらかじめキャリアを注入して拡散領域213を形成しておき、分割されたチャネル222がこの拡散領域213を介して常に1本の導体として使用できるようにする必要がある。

【0210】図39～図42は、LC素子の他の例を示す図であり、上述したMOS構造のLC素子のゲート電極を蛇行形状に形成した場合が示されている。

【0211】具体的には、図39は図28に対応しており、図28に示した渦巻き形状のスパイラル電極210を蛇行形状の電極210aに置き換えた構造を有するLC素子12sが示されている。この電極210aに対応して形成されるチャネル222を帰還ループの一部として使用した正弦波発振回路が形成される。

【0212】同様に、図40は図36に対応するものであり、図39に示したLC素子12sとは反対に蛇行形状の電極210a側が信号の入出力路となるLC素子12が示されている。

【0213】図41は、図37に対応するものであり、

蛇行形状の電極210aとチャネル222とを部分的に対応させたLC素子12tが示されている。

【0214】図42は、図38に対応するものであり、蛇行形状の電極210a側を複数に分割するとともに、この分割位置に対応するp-Si基板34の表面近傍に拡散領域213を形成しておいてチャネル222を1本のインダクタ導体として使用するLC素子12uが示されている。

【0215】このように、電極210aおよびチャネル222を蛇行形状に形成した場合であっても、図22において示したように電極210a、チャネル222のそれぞれがインダクタとして機能し、しかも、これらの間には分布定数的なキャパシタが形成される点に変わりはなく、このような構造を有するLC素子を用いて図1に示した正弦波発振回路1等を構成することができる。しかも、これらのLC素子はp-Si基板34上にMOS製造技術を用いて形成することが可能であり、図1に示した正弦波発振回路1等の他の構成部品（例えばインバータ論理回路10）とともに一体成形する場合に適しており、正弦波発振回路全体の大量生産や小型化を容易に実現できる。

【0216】図43は、LC素子の他の例を示す図である。また、図44は図43のA-A線拡大断面図、図45は図43のB-B線拡大断面図、図46は図43のC-C線拡大断面図、図47は図43のD-D線拡大断面図である。

【0217】これらの図に示すLC素子12vは、図28に示したLC素子12mがスパイラル電極210をインダクタ導体とゲート電極の機能を兼用していたのに対し、これらの機能を分離した点に特徴がある。

【0218】具体的には本実施例のLC素子12vは、半導体基板であるp-Si基板34の表面付近の隔たった位置に形成されたソース212とドレイン214の間を渦巻き形状の第1のスパイラル電極310に対する電圧の印加によって形成されるチャネル222によって接続することにより形成されている。

【0219】上述したソース212およびドレイン214は、p-Si基板34を反転させたn⁺領域として形成される。例えば、As⁺イオンを熱拡散あるいはイオン打ち込みにより注入して不純物濃度を高めることにより形成される。

【0220】第1のスパイラル電極310は、ゲートとして機能するものであり、渦巻き形状の一方の端部（外周側）がソース212の一部に、他方の端部（中心側）がドレイン214の一部にオーバーラップするように、p-Si基板34の表面側に形成された絶縁層226を挟んで形成されている。第1のスパイラル電極310は、例えばアルミニウム膜を成形することによって、あるいは拡散またはイオン注入でPを多量にドーピングすることにより形成する。

【0221】また、上述した第1のスパイラル電極310とほぼ平行であって、ほぼ同心状に第2のスパイラル電極312が形成されている。この第2のスパイラル電極312と第1のスパイラル電極310との間に所定のゲート電圧を印加することにより、第1のスパイラル電極310に対向するp-Si基板34の表面にチャンネル222が形成されるようになっている。

【0222】また、上述した第1のスパイラル電極310、ソース212、ドレイン214、第2のスパイラル電極312のそれぞれには、図43～図47に示すように、制御用電極228、入出力電極24、26、28が接続されている。すなわち、第1のスパイラル電極310に対する制御用電極228の取り付けは、図43に示すように、薄いゲート膜を傷付けないように能動領域の外側で行われる。また、ソース212への入出力電極24の取り付けおよびドレイン214への入出力電極26の取り付けは、図47および図45に示すように、ソース212およびドレイン214の一部を露出させた後に、アルミニウム等の金属膜を付けることにより行われる。さらに、第2のスパイラル電極312に対する入出力電極28の取り付けは、制御用電極228と同様に薄いゲート膜を傷付けないように能動領域から隔たった位置で行われる。

【0223】上述した構造を有する本実施例のLC素子12vは、nチャンネルエンハンスメント型の構造を有しているものとすれば、第1のスパイラル電極310に正の電圧（第2のスパイラル電極312よりも高い電圧）が印加された時にはじめてチャンネル222が形成されることになる。

【0224】図44（A）および（B）は、チャンネル222が形成される状態を示す図である。第1のスパイラル電極310に対して、すなわち第1のスパイラル電極310に接続された制御用電極228に正のゲート電圧が印加されていない状態では、同図（A）に示すようにp-Si基板34の表面にはチャンネル222が現れない。したがって、この状態では図43に示したソース212とドレイン214とが絶縁された状態にある。

【0225】ところが、第1のスパイラル電極310に対して相対的に正のゲート電圧が印加されると、図44（B）に示すように第1のスパイラル電極310に対応するp-Si基板34の表面付近にn領域からなるチャンネル222が出現する。また、p-Si基板34の内部であってこのチャンネル222の外側には、第1のスパイラル電極310に印加された正のゲート電圧によって正孔が排除された空乏層が形成される。したがって、この空乏層を挟んでチャンネル222内の電子とp-Si基板34内の正孔とが対向して配置され、チャンネル222とその外側に空乏層を挟んで存在するp-Si基板34とによりキャパシタが形成される。しかも、このキャパシタは第1のスパイラル電極310のほぼ全長にわたって

形成されるため、p-Si基板34に接続された第2のスパイラル電極312とチャンネル222との間には分布定数的に渦巻き形状のキャパシタが形成されることになる。

【0226】図48は、本実施例のLC素子12vの等価回路を示す図である。同図に示す等価回路は、制御用電極228に所定のゲート電圧を印加することによりチャンネル222を形成し、このチャンネル222を正弦波発振回路の帰還ループの一部として使用する場合が示されている。

【0227】なお、上述したLC素子12vは、ソース212に設けられた入出力電極24と第2のスパイラル電極312の一方端に設けられた入出力電極28とを同電位に設定することが可能であり、このLC素子12vを図1に示した正弦波発振回路1等に適用する場合には、図5に示したキャパシタ16等を用いずにこれら2つの入出力電極24と28とを直接接続することができる。したがって、LC素子12vの一部の構造を変形して、例えば図49に示すように2つの入出力電極24、28を1つの共通の電極として形成するようにしてもよい。この場合は、後工程における配線の手間が低減されるとともに、キャパシタ16等が不要になることにより部品点数の低減も図ることができる。

【0228】このような構造を有する本実施例のLC素子12vは、チャンネル222がインダクタンスL1を有するインダクタ導体として機能するとともに、第2のスパイラル電極312がインダクタンスL2を有するインダクタ導体として機能する。また、これら2つのインダクタ導体間には所定のキャパシタンスCを有するキャパシタが分布定数的に形成される。したがって、これらのLC素子12vは、基本的には図2等に示したLC素子と同様な周波数特性を有しており、図1に示した正弦波発振回路1等に用いることができる。また、図28に示したLC素子12m等と同様にMOS構造を有していることから、MOS製造技術による工程の簡略化が可能であり、しかも、p-Si基板34上に他の部品とともに一体形成することが可能であり、容易に大量生産および小型化を実現することができる。

【0229】図50および図51は、図43に示したLC素子12vの変形例を示す図である。図50には第2のスパイラル電極312を短く形成することによりこの第2のスパイラル電極312とチャンネル222とを部分的に対向させたLC素子12wが示されている。また、図51には第2のスパイラル電極312を複数に分割（例えば2分割）したLC素子12xが示されている。

【0230】また、図52～図54は、図43に示したLC素子12vの他の変形例を示す図である。これらの図に示したLC素子は、いずれもチャンネル222と第2のスパイラル電極312の機能を入れ換えた点に特徴があり、第2のスパイラル電極312を信号の入出力路

10

20

30

40

50

(帰還ループ)として使用している。図52が図43に、図53が図50に、図54が図51にそれぞれ対応している。

【0231】例えば、第2のスパイラル電極312を金属材料で形成し、この第2のスパイラル電極312を図1に示した正弦波発振回路1等における帰還ループの一部として使用した場合には、この帰還ループにおける電圧レベルの減衰が少なく、図1に示したインバータ論理回路10等の反転増幅器の増幅率を低く設定できる利点がある。この利点については、図36に示したLC素子12nと同様である。

【0232】図55は、図43以降に示したLC素子の部分的変形例を示す図であり、図44に対応する断面構造が示されている。具体的には、図55(A)に示すように、n-Si基板144の一部に第1および第2のスパイラル電極310、312に沿った渦巻き形状のp領域からなる反転層232が形成されている。このような断面構造を有するLC素子において、第1のスパイラル電極310の一方端に設けられた制御用電極228に対して所定のゲート電圧を印加すると、同図(B)に示すように、この第1のスパイラル電極310に対応するn-Si基板144の表面近傍にチャンネル222が形成される。しかも、n-Si基板144と反転層232との間に逆バイアス電圧を印加しておくことにより、渦巻き形状の反転層232が各周回部分において相互に電氣的に分離され、チャンネル222と第2のスパイラル電極312との間に確実に分布定数的なキャパシタが形成されるようになる。

【0233】図56～図62は、図43以降に示したLC素子の変形例を示す図であり、ほぼ平行に配置されている第1および第2のスパイラル電極310、312をp-Si基板34を挟んでほぼ対向配置した場合が示されている。

【0234】図56は図43に対応しており、渦巻き形状を有するチャンネル222と第2のスパイラル電極312とがほぼ同じ長さに形成されたLC素子が示されている。図57は、図56のA-A線拡大断面図であり、図44に示した断面構造に対応するものである。本実施例のLC素子12yは、図57にその断面構造を示すように、第1および第2のスパイラル電極310、312がp-Si基板34を挟んでほぼ対向するように形成されており、第1のスパイラル電極310に対応して形成されるチャンネル222とp-Si基板34の裏面に形成された第2のスパイラル電極312とにより渦巻き形状のキャパシタが分布定数的に形成されている。

【0235】図58は図50に対応するものであり、p-Si基板34を挟んでほぼ対向配置された第1および第2のスパイラル電極310、312を部分的に対向させたLC素子が示されている。また、図59は図51に対応するものであり、第1のスパイラル電極310にほ

ぼ対向するように形成された第2のスパイラル電極312を複数に分割(例えば2分割)したLC素子が示されている。

【0236】また、図56、図58、図59に示した各LC素子は、いずれもチャンネル222側を信号の入出力路に使用して図1に示した正弦波発振回路等の帰還ループの一部を形成するようにしたものであるが、第2のスパイラル電極312側を信号入出力路として用いてこの帰還ループを形成するようにしてもよい。図60はチャンネル222と第2のスパイラル電極312をほぼ同じ長さに形成した場合を、図61はチャンネル222の長さを相対的に短く形成して部分的に対向させた場合を、図62は第1のスパイラル電極310を複数に分割(例えば2分割)することによりこれに対応して形成されるチャンネル222も複数に分割したものである。

【0237】図63は、第1および第2のスパイラル電極310、312をp-Si基板34を挟んでほぼ対向配置した上記LC素子における部分的変形例を示す図である。具体的には、第1および第2のスパイラル電極310、312の各周回部分の合間に渦巻き形状の反転層が形成されている。すなわち、同図に示すようにp-Si基板34の一部にn領域234からなる渦巻き形状の反転層を形成する。このような構造を有するLC素子において、周回部分の異なる第2のスパイラル電極312に接続されたp-Si基板34同士に着目すると、間にn領域234が形成されているため電氣的に分離されており、確実に各周回部分のアイソレーションを行うことができる。

【0238】また、実際にウエハの状態にあるp-Si基板34を利用して上述したLC素子を製造する場合には、p-Si基板34の比抵抗が一般の金属に比べて高いこと等を考慮して、p-Si基板34の厚みをウエハの状態よりも薄くする必要がある。また、上述したように一般にはn型ウエハの方が入手しやすいことを考慮して、図64に示すような構造としてもよい。

【0239】すなわち、同図(A)に示すように、n-Si基板144の一方の面に渦巻き形状のエッチングを行い、このエッチングを行った部分に第1あるいは第2のスパイラル電極310、312を形成する。また、同図(B)に示すように、n-Si基板144の一部に第1および第2のスパイラル電極310、312のそれぞれにほぼ沿うようにp'領域236を形成し、その後n-Si基板144の裏面側であって第2のスパイラル電極312に対応する部分のエッチングを行い、最後に第1および第2のスパイラル電極310、312を形成する。

【0240】このようにほぼ対向するように形成された第1および第2のスパイラル電極310、312間の間隔を短くすることにより、ほぼ対向するチャンネル222と第2のスパイラル電極312との間のみ分布定数的

なキャパシタが形成されることになる。しかも、同図 (B) に示すように第 1 および第 2 のスパイラル電極 310、312 に挟まれた部分に反転層を形成した場合には、第 2 のスパイラル電極 312 の異なる周回部分に接して p n p 構造が形成されるため、各周回部分において良好なアイソレーションが行われる。

【0241】また、上述した図 43 以降の各図面において説明した LC 素子はいずれも第 1 および第 2 のスパイラル電極 310、312 が渦巻き形状に形成されたものであるが、これらを蛇行形状に形成してもよい。図 65 ~ 図 76 は上述した第 1 および第 2 のスパイラル電極 310、312 を蛇行形状を有する第 1 および第 2 の電極 310a、312a に置き換えたものであり、蛇行形状を有する第 1 の電極 310a に対応して形成されるチャネル 222 と第 2 の電極 312a のそれぞれがインダクタ導体として機能し、これらの間に分布定数的なキャパシタが形成される点に変わりはない。

【0242】具体的には、図 65 はほぼ同じ長さであって平行に形成された第 1 および第 2 の電極 310a、312a を有し、チャネル 222 側を信号の入出力路として使用する LC 素子が示されている。図 66 には、第 2 の電極 312a が短く形成されて第 1 および第 2 の電極 310a、312a が部分的に対向した LC 素子が示されている。図 67 には、第 2 の電極 312a が複数に分割（例えば 2 分割）された LC 素子が示されている。また、図 68 ~ 図 70 のそれぞれには、それらに示した LC 素子のチャネル 222 と第 2 の電極 312a の機能を入れ換えた LC 素子が示されている。さらに、図 71 ~ 図 76 のそれぞれには、第 2 の電極 312a を p-Si 基板 34 を挟んで第 1 の電極 310a にほぼ対向させた LC 素子が示されており、図 71 は図 65 に、図 72 は図 66 に、図 73 は図 67 に、図 74 は図 68 に、図 75 は図 69 に、図 76 は図 70 にそれぞれ対応している。

【0243】上述した各 LC 素子は、半導体基板の内部を部分的に利用して分布定数的なキャパシタを形成するとともに、LC 素子の全体を半導体製造技術を用いて製造可能にした点に特徴がある。これに対し、半導体基板を利用する点は同じであるが、その内部を利用せずにその表面に複数のインダクタ導体を重ねて形成することにより LC 素子を構成することもできる。

【0244】図 77 は、LC 素子の他の変形例を示す概略図である。

【0245】同図に示す LC 素子 12z は、高純度の半導体基板 320 とこの表面にほぼ重ねて形成された第 1 および第 2 のスパイラル電極 322、324 とを含んで構成されている。第 1 のスパイラル電極 322 は、例えば図 2 に示す第 1 のスパイラル電極 20 に対応しており、第 2 のスパイラル電極 324 は図 2 に示す第 2 のスパイラル電極 22 に対応している。また、これら第 1 お

よび第 2 のスパイラル電極 322、324 間には外周側端部を除いて図示しない絶縁膜が形成されている。

【0246】したがって、第 1 のスパイラル電極 322 の両端に図 2 に示す入出力電極 24、26 に相当する端子を設けることにより、この第 1 のスパイラル電極 322 を一方のインダクタ導体として機能させることができる。また、第 2 のスパイラル電極 324 は、外周側端部において第 1 のスパイラル電極 322 の外周側端部に直接接続されているとともに、この第 1 のスパイラル電極 322 にほぼ重ねて形成されるため、これら 2 つのスパイラル電極 322、324 間には分布定数的なキャパシタが形成され、これらのインダクタ成分とキャパシタ成分との関係は図 2 等に示した LC 素子 12 とまったく同じとなる。

【0247】このため、図 77 に示す LC 素子 12z の第 1 のスパイラル電極 322 を介して帰還ループを形成することにより図 1 に示した正弦波発振回路 1 等と同様の正弦波発振回路を得ることができる。

【0248】特に、図 77 に示した LC 素子 12z は、半導体基板 320 を利用して形成されているため、この半導体基板 320 上に図 1 に示したその他の部品（例えばインバータ論理回路 10 等）も併せて一体形成することが可能であり、大量生産および小型化が容易に実現できる。

【0249】図 78 は、図 77 に概略構造を示した LC 素子の製造工程の一例を示す図である。同図は、LC 素子 12z の断面構造を各工程順に示したものである。

【0250】(1) 高純度の半導体基板 320 を用意する（同図 (A)）。この半導体基板 320 は、純度が低い場合にはその表面に酸化膜等を形成することにより絶縁基板として使用することもできる。

【0251】(2) この半導体基板 320 上に金属膜を形成、例えばアルミニウム膜 324a を蒸着する（同図 (B)）。なお、金や銅などの他の材料により金属膜を形成するようにしてもよい。

【0252】(3) アルミニウム膜 324a 上に渦巻き形状のフォトレジスト 330a のパターンを形成する（同図 (C)）。このパターンの形成は、例えば写真蝕刻法により行うことができる。

【0253】(4) このフォトレジスト 330a をマスクにしてアルミニウム膜 324a を部分的に除去することにより第 2 のスパイラル電極 324 を形成する（同図 (D)）。その後、フォトレジスト 324a を洗い落とす。

【0254】(5) このようにして形成された第 2 のスパイラル電極 324 の端部（外周側端部）をフォトレジスト 330b によってマスクする（同図 (E)）。

【0255】(6) 陽極酸化を行って、第 2 のスパイラル電極 324 の残り部分（マスクされない部分）の表面に絶縁性酸化皮膜 326 を形成する（同図 (F)）。そ

の後、フォトリジスト 330b を洗い落とす。

【0256】(7) 再度、全表面に金属膜を形成、例えばアルミニウム膜 322a を蒸着する(同図(G))。このとき、第2のスパイラル電極 324 の外周側端部(フォトリジスト 330b によってマスクされた部分)上に直接アルミニウム膜 322a が形成され、この部分で電気的な接続が行われる。

【0257】(8) アルミニウム膜 322a 上に渦巻き形状のフォトリジスト 330c のパターンを形成する(同図(H))。このパターンの形成は、例えば上述したフォトリジスト 330a の場合と同様に写真蝕刻法により行うことができる。

【0258】(9) このフォトリジスト 330c をマスクにしてアルミニウム膜 332a を部分的に除去することにより、第1のスパイラル電極 322 を形成する。その後、フォトリジスト 330c を洗い落とす。

【0259】図79は、このような工程を経て半導体基板 320 上に形成された LC 素子 12z の平面形状を示す図である。同図に示すように、本実施例の LC 素子 12z は、表面に第1のスパイラル電極 322 が形成されており、この第1のスパイラル電極 322 の両端部のそれぞれが図2に示した2つの入出力電極 24 (この入出力電極 24 が入出力電極 28 の機能も兼ねている)、26 のそれぞれに対応している。

【0260】図80は、図77に概略構造を示した LC 素子の製造工程の他の例を示す図である。図78に示した製造工程によれば、2つのスパイラル電極 322、324 の間を陽極酸化により形成された絶縁性酸化皮膜 326 により絶縁を行う LC 素子が製造されるが、図80に示した製造工程によれば、この絶縁性酸化皮膜 326 を化学気相法(CVD)により形成されたシリコン酸化膜あるいは窒化膜に置き換えた LC 素子が製造される点が異なっている。以下、その製造工程を説明する。

【0261】(1) 高純度の半導体基板 320 を用意する(同図(A))。そして、この半導体基板 320 上に化学気相法により第1のシリコン酸化膜 340 を形成する(同図(B))。ただし、高純度の半導体基板 320 を用いた場合には比抵抗が高いため、第1のシリコン酸化膜 340 を省略することもできる。

【0262】(2) 第1のシリコン酸化膜 340 上に、次の化学気相法の工程に耐え得る金属、例えば金、タングステン、モリブデン、タンタル、ニオブなどの金属膜 324b を蒸着する(同図(C))。

【0263】(3) 金属膜 324b 上に渦巻き形状のフォトリジスト 330a のパターンを形成する(同図(D))。このパターンの形成は、例えば写真蝕刻法により行うことができる。

【0264】(4) このフォトリジスト 330a をマスクにして金属膜 324b を部分的に除去することにより第2のスパイラル電極 324 を形成する(同図

(E))。その後、フォトリジスト 330a を洗い落とす。

【0265】(5) 第2のスパイラル電極 324 および露出している第1のシリコン酸化膜 340 の上に、化学気相法により第2のシリコン酸化膜 342 を形成する(同図(F))。その後、第2のスパイラル電極 324 の外周側端部上の第2のシリコン酸化膜 342 をエッチング等により除去する。

【0266】(6) この第2のシリコン酸化膜 342 上に金属膜 322b を蒸着する(同図(G))。後工程に化学気相法の工程がないことから、この金属膜 322b はアルミニウム膜とすることができるが、金や銅等の他の金属材料で形成してもよい。このとき、第2のスパイラル電極 324 の外周側端部のみは、その上に直接金属膜 322b が形成され、この部分で電気的な接続が行われる。

【0267】(7) 金属膜 322b 上に渦巻き形状のフォトリジスト 330c のパターンを形成する(同図(H))。このパターンの形成は、例えば上述したフォトリジスト 330a の場合と同様に写真蝕刻法により行うことができる。

【0268】(8) このフォトリジスト 330c をマスクにして、第1のスパイラル電極 322 を形成する(同図(I))。その後、フォトリジスト 330c を洗い落とす。

【0269】このような工程を用いることによっても、図79に平面構造を示した LC 素子 12z を製造することができる。このように、上述した本実施例の LC 素子 12z は、半導体基板 320 の表面に形成されているため、この半導体基板 320 を用いて図1に示した正弦波発振回路1等のその他の部品(例えばインバータ論理回路10)を形成することができ、一体形成による大量生産および回路全体の小型化を容易に実現することができる。

【0270】なお、図77に概略構造を示した LC 素子 12z は、第1および第2のスパイラル電極 322、324 をほぼ同じ長さの渦巻き形状に形成したが、これら2つの電極を部分的に対向させるようにしてもよく、第2のスパイラル電極 324 側を複数に分割するようにしてもよい。また、渦巻き形状のみならず、図21等に示したような蛇行形状を有する2つの電極をほぼ重ねて形成するようにしてもよい。さらに、第1および第2のスパイラル電極 322、324 をほぼ対向させるだけではなく、一方の電極の各周回部分の合間に他の電極の各周回部分の中心がくるようにして部分的に第1および第2のスパイラル電極 322、324 を重ねるようにしてもよい。

【0271】また、図77に概略構造を示した LC 素子 12z は、第1および第2のスパイラル電極 322、324 を同電位に設定してもよいため、LC 素子 12z の

内部で第1および第2のスパイラル電極322、324の各一方端を接続したが、それぞれの一方端を別々に素子外部に引き出して接続するようにしてもよい。

【0272】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0273】例えば、上述した各LC素子は、インダクタ導体として機能する電極やチャネルを渦巻き形状あるいは蛇行形状に形成したが、この渦巻き形状には周回数がほぼ1周あるいは1周末満のものも含まれ、蛇行形状には波形や凹凸数が1あるいは2程度の非直線形状のものも含まれており、インダクタンスの大きさ等に応じて、使用するLC素子の電極形状を適宜選択することができる。

【0274】また、上述した各実施例のLC素子は、主にp-Si基板を利用して形成したが、同様にn型半導体基板(n-Si基板)を利用して形成するようにしてもよい。また、半導体基板はゲルマニウム等のシリコン以外の材料、あるいは非晶質材料であるアモルファスシリコン等を用いるようにしてもよい。

【0275】

【発明の効果】上述したように、請求項1の発明によれば、反転増幅器とLC素子とをリング状に接続することにより構成されており、より少ない部品を組み合わせるだけで簡単に正弦波を発生させることができる。また、上述した複数のLC素子は半導体基板上に形成されているため、反転増幅器を含む全ての部品を半導体基板上に形成することが可能であり、半導体製造技術を利用した大量生産や回路の小型化が可能となる。特に、これら各部品は1つの半導体基板上に形成することもでき、この場合は回路全体を半導体基板上に一体形成することになるため、大量生産や回路の小型化がさらに容易になる。

【0276】また、請求項2または3の発明によれば、上述した反転増幅器をインバータ論理回路やトランジスタを利用したソース接地回路あるいはエミッタ接地回路により構成しており、このような構造が単純な反転増幅器とLC素子とを組み合わせるだけで、簡単に正弦波を発生させることができる。特に、上述したインバータ論理回路やソース接地回路あるいはエミッタ接地回路は一般には半導体基板上に形成されるものであり、他の部品とともに一体形成する場合にさらに好都合となる。

【0277】また、請求項4の発明によれば、半導体基板上であって同心状に隣接して配置された2つの電極と、これら2つの電極に沿って形成された渦巻き形状のpn接合層とにより上述したLC素子が形成されており、特に、このLC素子は半導体製造技術を用いて半導体基板に形成されるため、反転増幅器等のそれ以外の部品とともに半導体基板上に一体形成する際に好都合となる。

【0278】また、請求項5の発明によれば、請求項4

において半導体基板上に同心状に設けられていた2つの電極を互いに半導体基板を挟んで対向配置することによりLC素子が形成されており、このLC素子も半導体製造技術を用いて半導体基板に形成されるため、反転増幅器等のそれ以外の部品とともに一体形成する際に好都合となる。

【0279】また、請求項6、7の発明によれば、請求項4、5における電極を渦巻き形状から蛇行形状に置き換えることによりLC素子が形成されており、電極の一方端あるいは両端に配線を施す場合に、この配線を電極の一部と交差せずに引き出せる利点があり、正弦波発振回路全体の製造工程の簡略化が可能となる。

【0280】また、請求項8の発明によれば、2つの電極のいずれか一方を短く形成することにより、インダクタ導体が部分的に対向したLC素子が形成されており、部分対向させる電極の割合等を変えることにより発振周波数のある範囲で調整することができるため、正弦波発振回路の設計の自由度が増すことにもなる。

【0281】また、請求項9の発明によれば、2つの電極のいずれか一方を複数に分割、あるいはこの電極の分割とともに対応するpn接合層を複数に分割することにより、分割されたインダクタ導体による影響が少ないLC素子が形成されており、電極の分割状態を変えることにより発振周波数のある範囲で調整することができるため、正弦波発振回路の設計の自由度が増すことにもなる。

【0282】また、請求項10の発明によれば、pn接合層に印加する逆バイアス電圧を変更することにより、分布定数的に形成されるキャパシタの容量値が変更可能なLC素子が形成されており、このようなLC素子を用いることによりある範囲で発振周波数を制御可能な電圧制御型の正弦波発振回路を容易に実現することができる。

【0283】また、請求項11～14の発明によれば、ゲートが渦巻き形状あるいは蛇行形状を有するMOS構造のLC素子が形成されており、これらの各LC素子はマスクの形状等を変更するだけで通常のMOSトランジスタを製造する工程を利用して製造可能であり、反転増幅器等のそれ以外の部品とともに半導体基板上に一体形成する際に好都合となる。特に、反転増幅器もMOS構造を有する場合、例えばMOSトランジスタやCMOS等のインバータ論理回路により構成した場合には、正弦波発振回路全体をMOS構造とすることができることから、製造工程の簡略化や各部品の高密度実装化が可能となり、ICやLSIの一部として組み込む場合に特に好都合となる。

【0284】また、請求項15～22の発明によれば、上述した請求項11～14の各LC素子のゲート電極にほぼ平行に、あるいはほぼ対向するように第2の電極を設けることによりMOS構造のLC素子が形成されてお

り、ゲート電極は独立して逆バイアス印加用に用いられている。したがって、ゲート電極への電圧印加とチャネルや第2の電極を介した信号の伝送とを切り離すことができ、複数のLC素子毎に異なるバイアス電圧を設定する場合に特に好都合となる。

【0285】また、請求項23または24の発明によれば、請求項11～22におけるゲート電極とチャネル、あるいは2つの電極を部分的に対向させることによりLC素子が形成されており、この部分対向させる割合等を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0286】また、請求項25の発明によれば、上述したチャネルが形成される位置に予めキャリアを注入しておくデプレッション型のLC素子が形成されており、予め注入するキャリアの量を調整することによりチャネル抵抗やソース・ドレイン間電流を変えることができるため、LC素子の特性がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0287】また、請求項26または27の発明によれば、ゲート電極に対応して形成されるチャネルあるいは第2の電極が複数の分割されたLC素子が形成されており、この分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0288】また、請求項28の発明によれば、請求項11～27の各ゲート電圧を変えることによりチャネル抵抗が変更可能なLC素子が形成されており、このチャネル抵抗の変更の程度に応じてLC素子の周波数特性も変更されることになるため、電圧制御型の正弦波発振回路を容易に実現することができる。

【0289】また、請求項29または30の発明によれば、半導体基板上に直接あるいは第1の絶縁層を形成した後、第1の電極、第2の絶縁層、第2の電極を積層するように形成することによりLC素子が形成されており、半導体基板を利用してこのLC素子や反転増幅器等の他の部品とともに一体形成できることに変わりはなく、正弦波発振回路の大量生産や小型化に適している。

【0290】また、請求項31または32の発明によれば、2つの電極間に形成する絶縁層を、電極の酸化あるいは化学気相法による酸化物や窒化物により構成したLC素子が形成されており、このようにして絶縁層を形成する工程や渦巻きあるいは蛇行形状の電極を形成する工程は一般的な半導体製造技術によって実現されるものであり、他の部品とともに正弦波発振回路の全体を一体形成する際に好都合となる。

【0291】また、請求項33の発明によれば、請求項29～32における2つの電極のいずれか一方を短くしてこれらの電極を部分的に対向させることによりLC素子が形成されており、この部分対向させる割合等を変え

ることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことにもなる。

【0292】また、請求項34の発明によれば、請求項29～33における2つの電極のいずれか一方が複数の分割されたLC素子が形成されており、この分割状態を変えることにより発振周波数がある範囲で調整することができ、正弦波発振回路の設計の自由度が増すことになる。

10 【0293】また、請求項35の発明によれば、正弦波発振回路の全体を半導体基板上に一体形成できる点を明確にしたものであり、半導体基板を利用して形成されたLC素子とともに半導体部品である反転増幅器等を一体形成した正弦波発振回路を実現することは容易である。

【図面の簡単な説明】

【図1】本発明を適用した第1実施例の正弦波発振回路の構成を示す図である。

【図2】LC素子の一例を示す図である。

【図3】図2のA-A線拡大断面図である。

20 【図4】図2に示したLC素子の等価回路を示す図である。

【図5】正弦波発振回路内においてLC素子にバイアス電圧を印加するための具体的構成を示す図である。

【図6】図2に示したLC素子の製造工程を示す図である。

【図7】分布定数型のLC素子の特性を示す図である。

【図8】図2に示したLC素子の変形例を示す図である。

30 【図9】図8に示したLC素子の等価回路を示す図である。

【図10】LC素子の他の変形例を示す図である。

【図11】図10に示したLC素子の等価回路を示す図である。

【図12】本発明を適用した第2実施例の正弦波発振回路の構成を示す図である。

【図13】第2実施例の変形例を示す図である。

【図14】本発明を適用した第3実施例の正弦波発振回路の構成を示す図である。

【図15】LC素子の変形例を示す図である。

40 【図16】図15のA-A線拡大断面図である。

【図17】LC素子の他の変形例を示す図である。

【図18】LC素子の他の変形例を示す図である。

【図19】図15に示したLC素子の断面構造の部分的変形例を示す図である。

【図20】図15に示したLC素子の断面構造の部分的変形例を示す図である。

【図21】LC素子の他の変形例を示す図である。

【図22】蛇行形状を有するインダクタ導体の動作を説明するための図である。

50 【図23】LC素子の他の変形例を示す図である。

【図 2 4】 L C 素子の他の変形例を示す図である。
 【図 2 5】 L C 素子の他の変形例を示す図である。
 【図 2 6】 L C 素子の他の変形例を示す図である。
 【図 2 7】 L C 素子の他の変形例を示す図である。
 【図 2 8】 L C 素子の他の変形例を示す図である。
 【図 2 9】 図 2 8 の A - A 線拡大断面図である。
 【図 3 0】 図 2 8 の B - B 線拡大断面図である。
 【図 3 1】 図 2 8 の C - C 線拡大断面図である。
 【図 3 2】 図 2 8 に示した L C 素子においてチャネルが形成される状態を説明するための図である。
 【図 3 3】 図 2 8 に示した L C 素子の渦巻き形状の電極に沿った断面を示す図である。
 【図 3 4】 図 2 8 に示した L C 素子の等価回路を示す図である。
 【図 3 5】 図 2 8 に示した L C 素子の製造工程を示す図である。
 【図 3 6】 L C 素子の他の変形例を示す図である。
 【図 3 7】 L C 素子の他の変形例を示す図である。
 【図 3 8】 L C 素子の他の変形例を示す図である。
 【図 3 9】 L C 素子の他の変形例を示す図である。
 【図 4 0】 L C 素子の他の変形例を示す図である。
 【図 4 1】 L C 素子の他の変形例を示す図である。
 【図 4 2】 L C 素子の他の変形例を示す図である。
 【図 4 3】 L C 素子の他の変形例を示す図である。
 【図 4 4】 図 4 3 の A - A 線拡大断面図である。
 【図 4 5】 図 4 3 の B - B 線拡大断面図である。
 【図 4 6】 図 4 3 の C - C 線拡大断面図である。
 【図 4 7】 図 4 3 の D - D 線拡大断面図である。
 【図 4 8】 図 4 3 に示した L C 素子の等価回路を示す図である。
 【図 4 9】 端部に設けられた入出力電極の部分的変形例を示す図である。
 【図 5 0】 L C 素子の他の変形例を示す図である。
 【図 5 1】 L C 素子の他の変形例を示す図である。
 【図 5 2】 L C 素子の他の変形例を示す図である。
 【図 5 3】 L C 素子の他の変形例を示す図である。
 【図 5 4】 L C 素子の他の変形例を示す図である。
 【図 5 5】 図 4 3 に示した L C 素子の断面構造の部分的変形例を示す図である。
 【図 5 6】 L C 素子の他の変形例を示す図である。

* 【図 5 7】 図 5 6 に示した L C 素子においてチャネルが形成される状態を説明するための図である。

【図 5 8】 L C 素子の他の変形例を示す図である。

【図 5 9】 L C 素子の他の変形例を示す図である。

【図 6 0】 L C 素子の他の変形例を示す図である。

【図 6 1】 L C 素子の他の変形例を示す図である。

【図 6 2】 L C 素子の他の変形例を示す図である。

【図 6 3】 図 5 6 に示した L C 素子の断面構造の部分的変形例を示す図である。

10 【図 6 4】 図 5 6 に示した L C 素子の断面構造の部分的変形例を示す図である。

【図 6 5】 L C 素子の他の変形例を示す図である。

【図 6 6】 L C 素子の他の変形例を示す図である。

【図 6 7】 L C 素子の他の変形例を示す図である。

【図 6 8】 L C 素子の他の変形例を示す図である。

【図 6 9】 L C 素子の他の変形例を示す図である。

【図 7 0】 L C 素子の他の変形例を示す図である。

【図 7 1】 L C 素子の他の変形例を示す図である。

【図 7 2】 L C 素子の他の変形例を示す図である。

20 【図 7 3】 L C 素子の他の変形例を示す図である。

【図 7 4】 L C 素子の他の変形例を示す図である。

【図 7 5】 L C 素子の他の変形例を示す図である。

【図 7 6】 L C 素子の他の変形例を示す図である。

【図 7 7】 L C 素子の他の変形例の概略を示す図である。

【図 7 8】 図 7 7 に示した L C 素子の製造工程の一例を示す図である。

【図 7 9】 図 7 7 に示した L C 素子の平面図である。

30 【図 8 0】 図 7 7 に示した L C 素子の製造工程の他の例を示す図である。

【符号の説明】

1 正弦波発振回路

1 0 インバータ論理回路

1 2 L C 素子

1 6 キャパシタ

2 0 第 1 のスパイラル電極

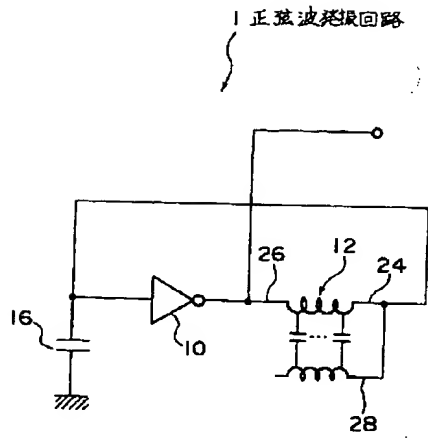
2 2 第 2 のスパイラル電極

2 4, 2 6, 2 8 入出力電極

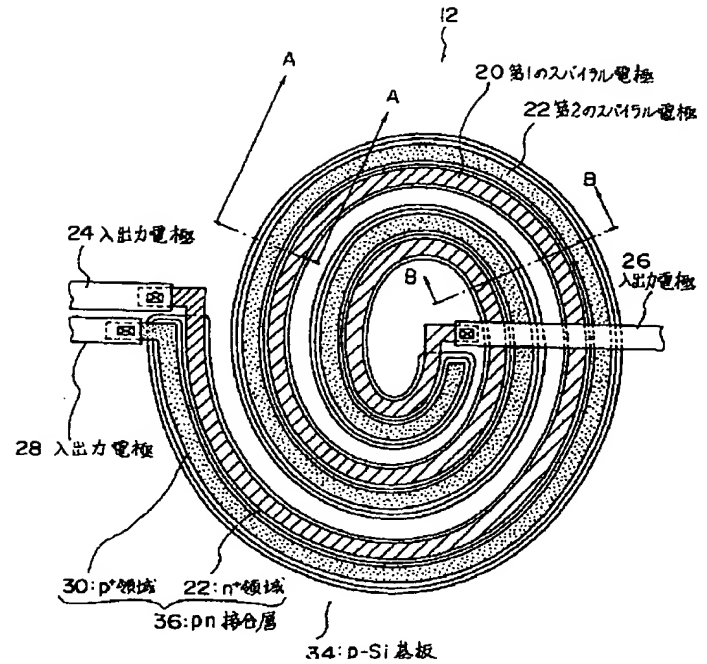
3 4 p - S i 基板 (p 型シリコン基板)

* 40 3 6 p n 接合層

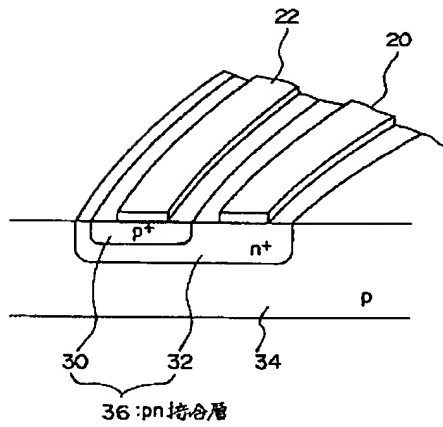
【図1】



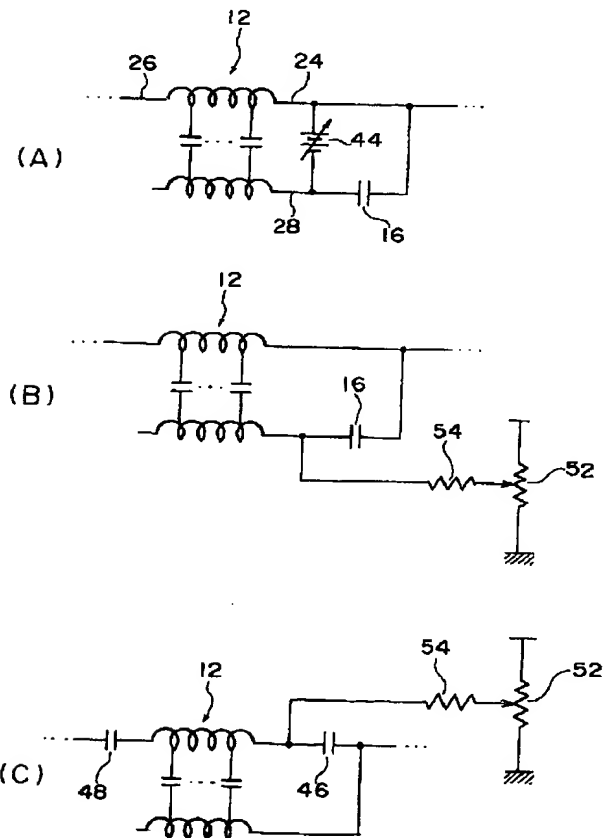
【図2】



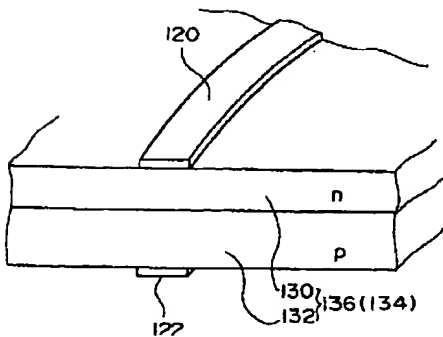
【図3】



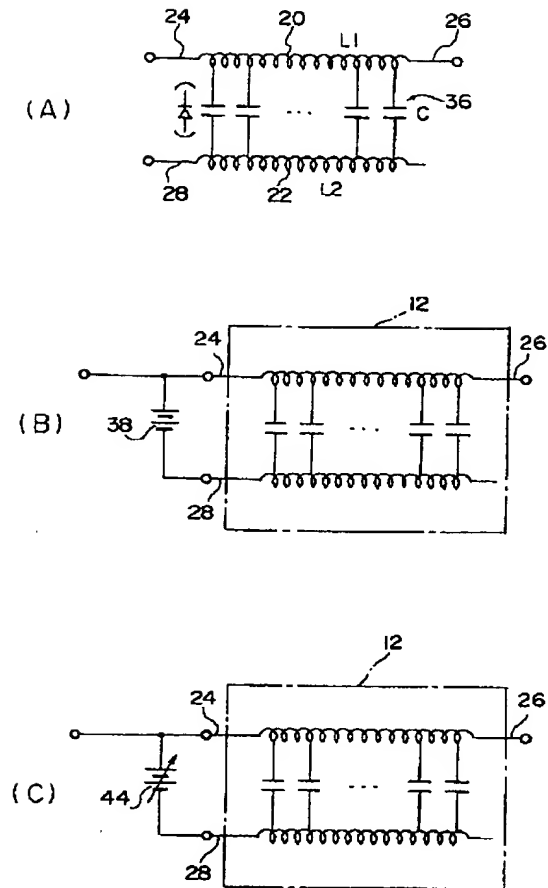
【図5】



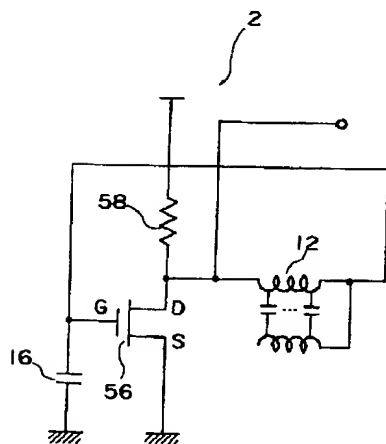
【図16】



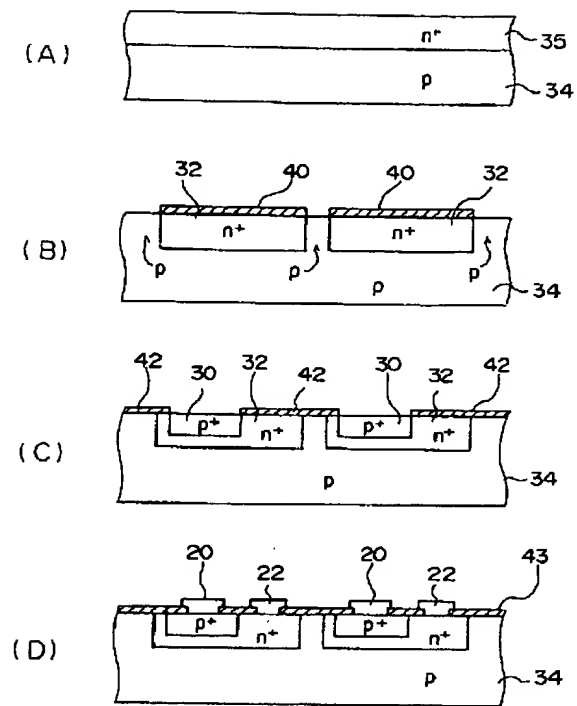
【図 4】



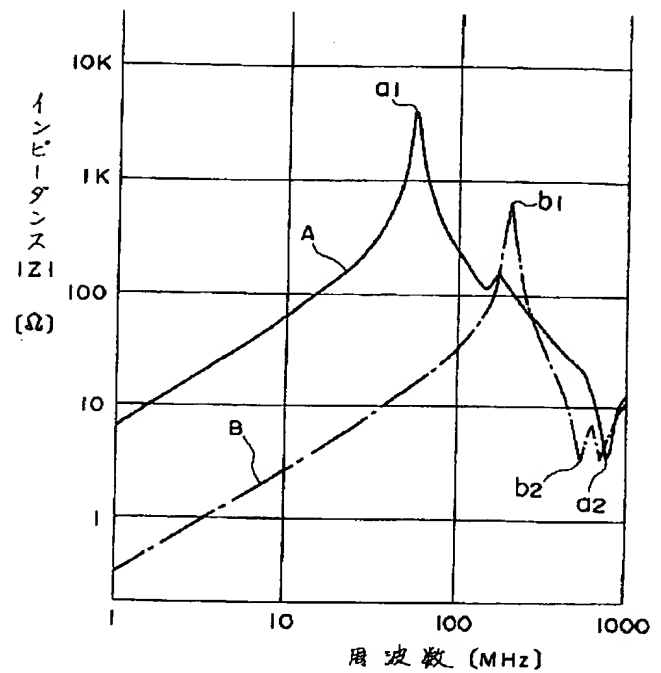
【図 12】



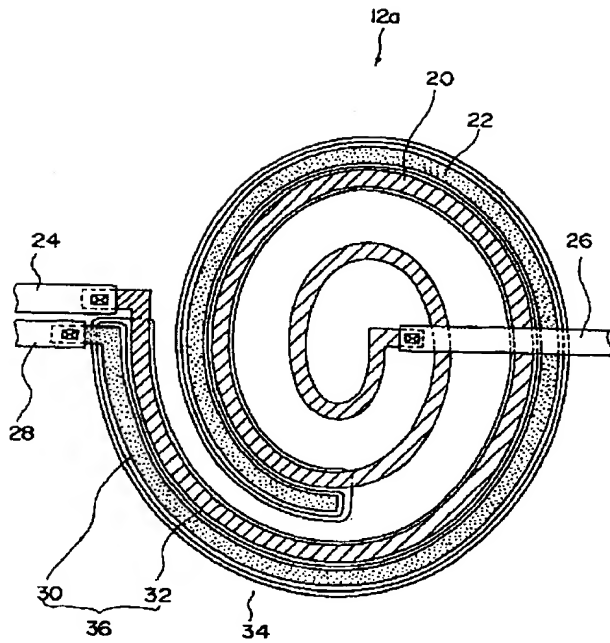
【図 6】



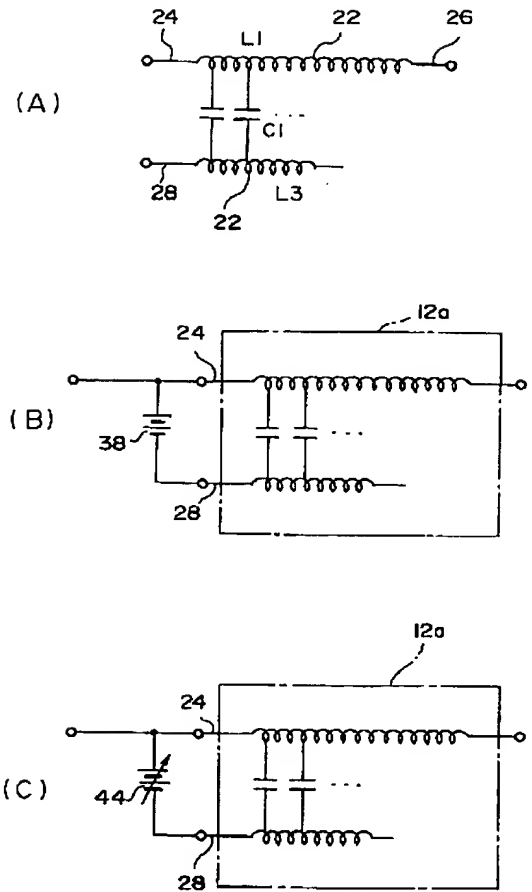
【図 7】



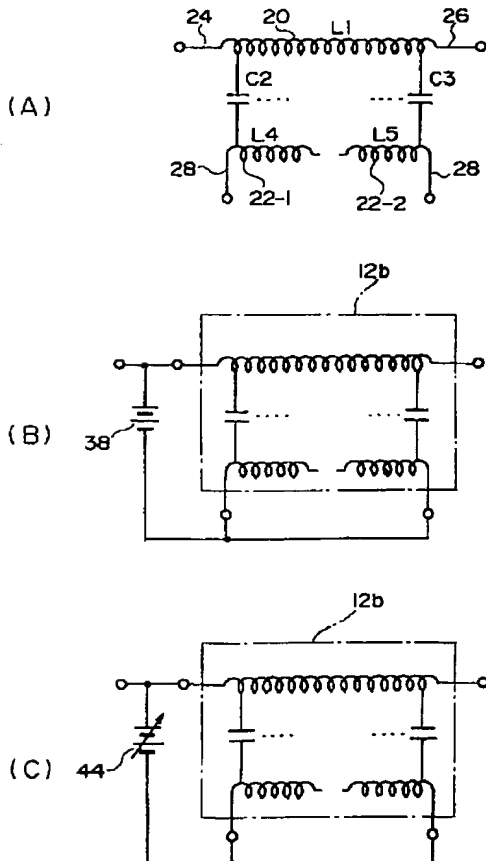
【図8】



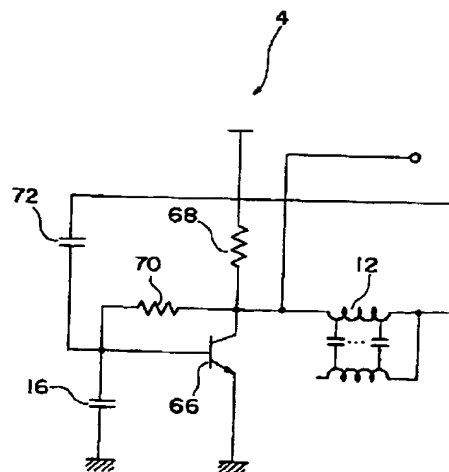
【図9】



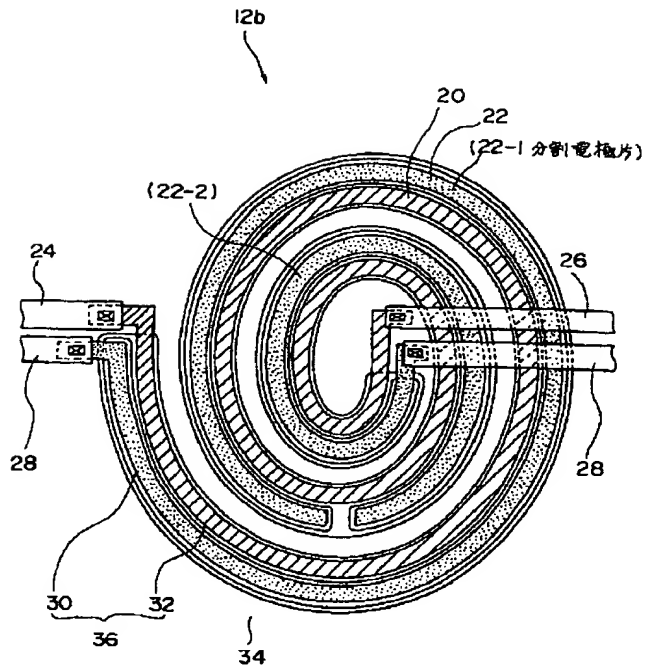
【図11】



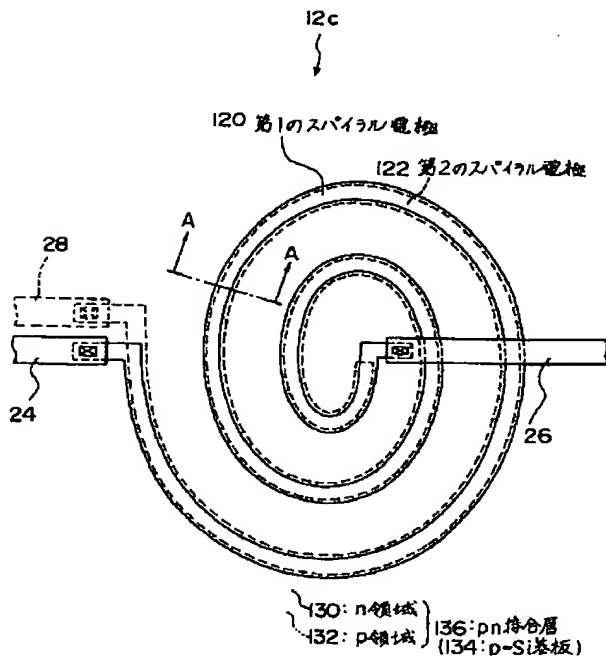
【図14】



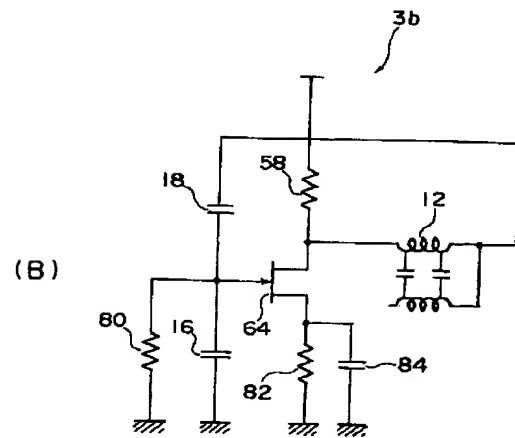
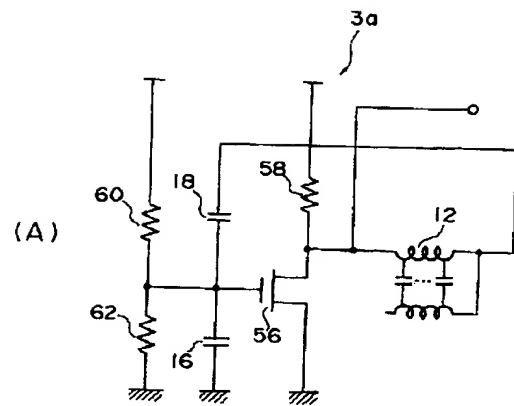
【図10】



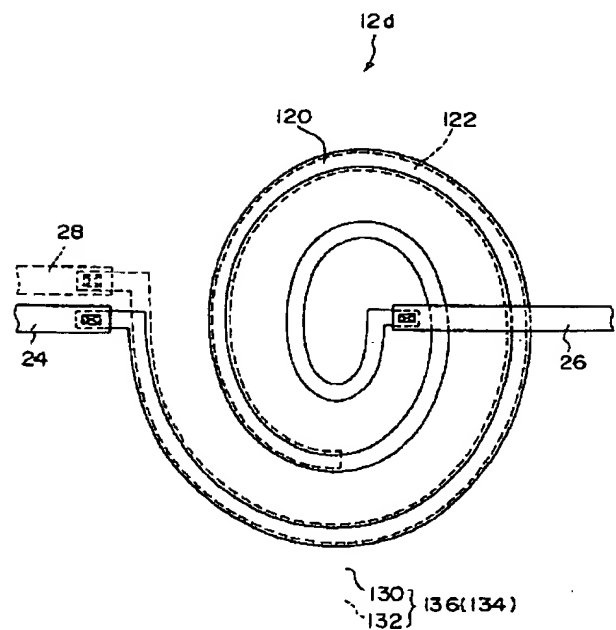
【図15】



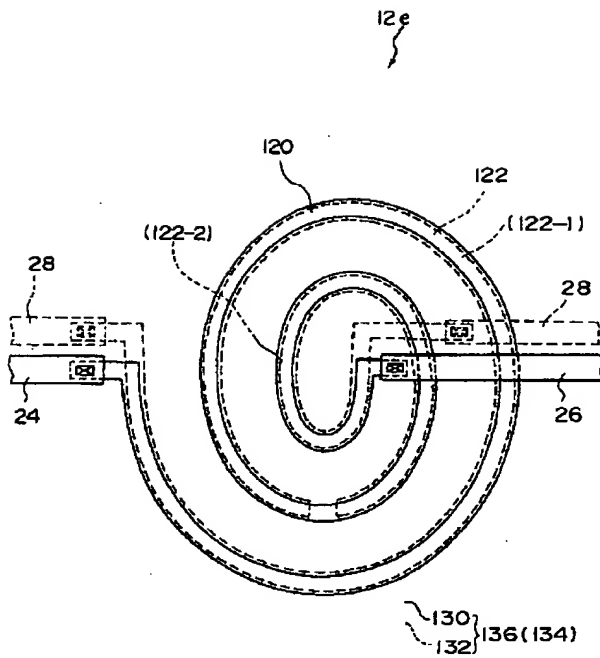
【図13】



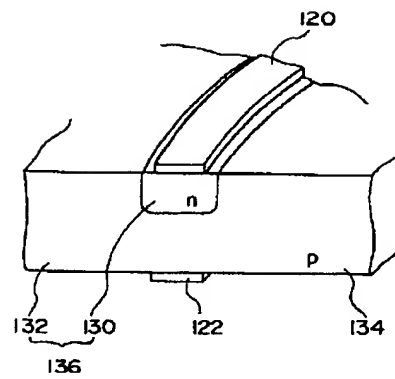
【図17】



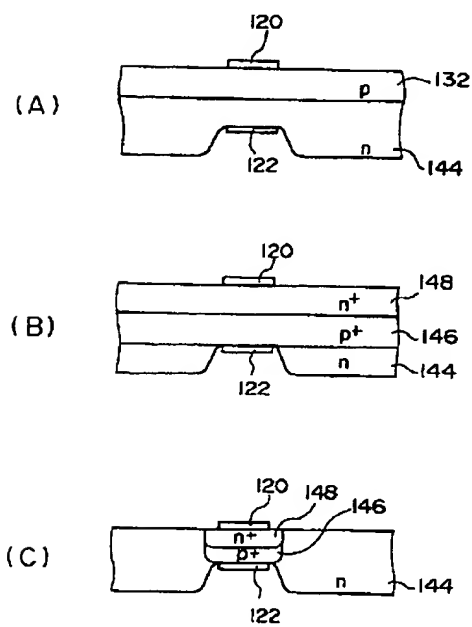
【図18】



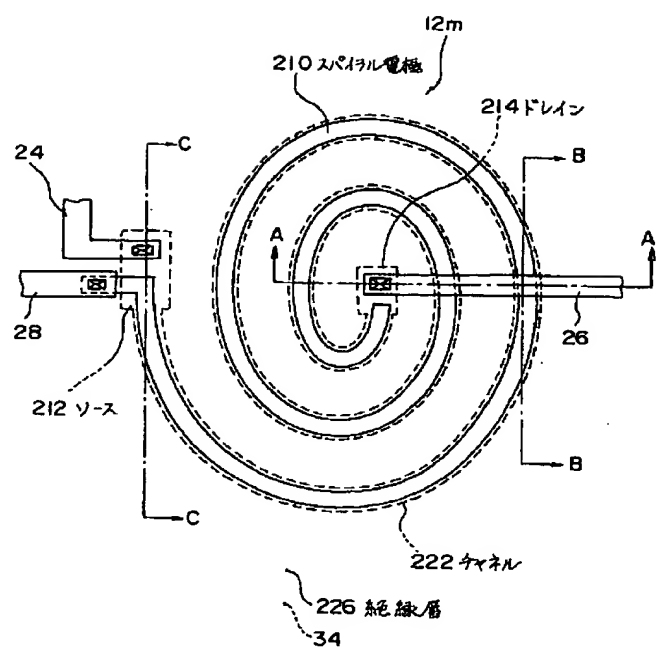
【図19】



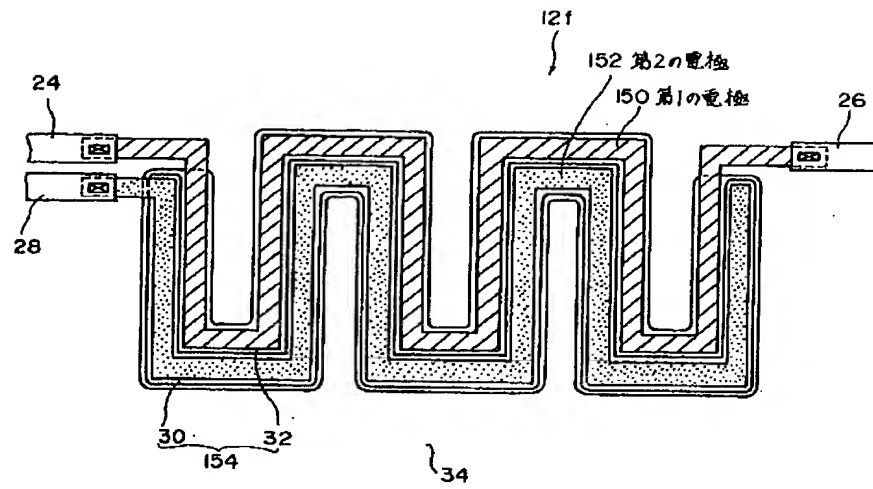
【図20】



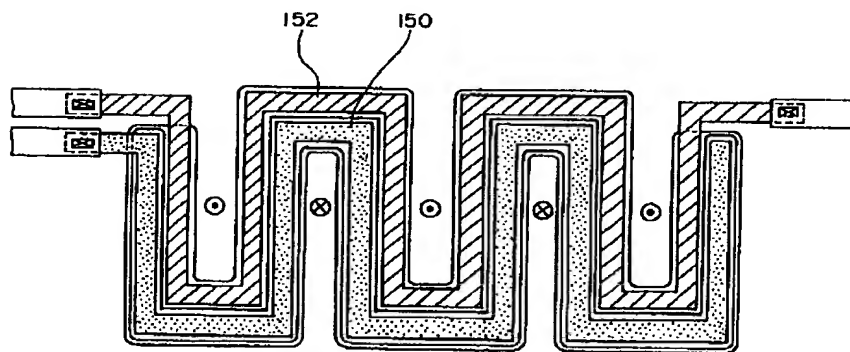
【図28】



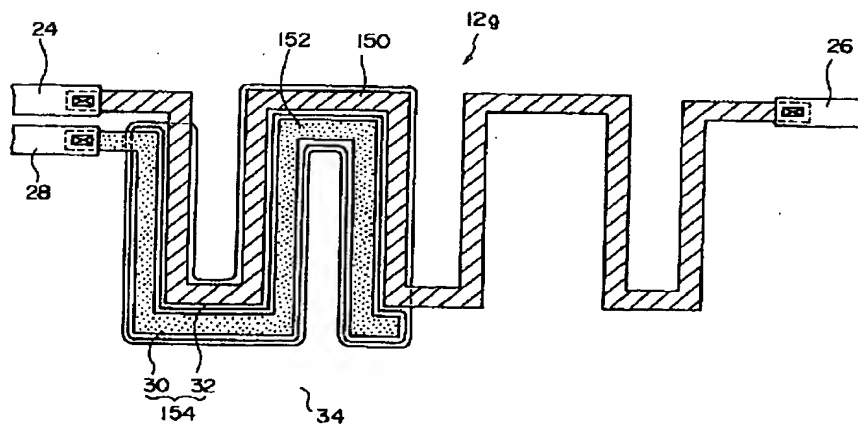
【図21】



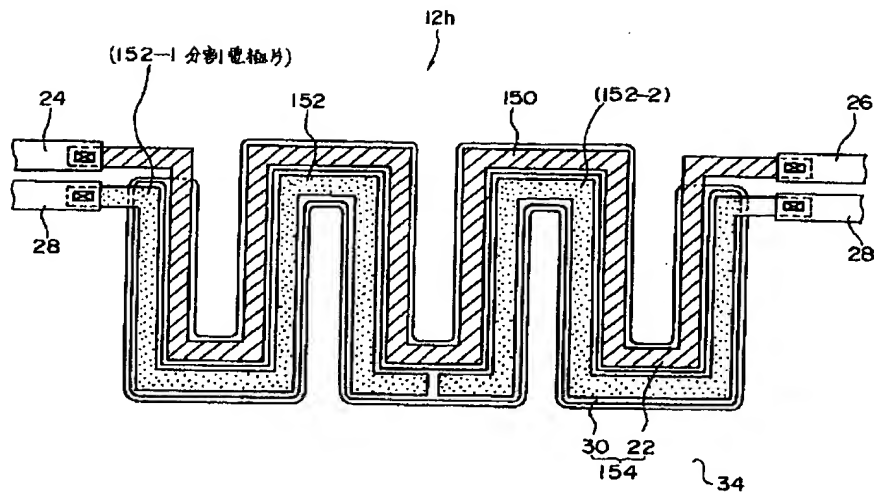
【図22】



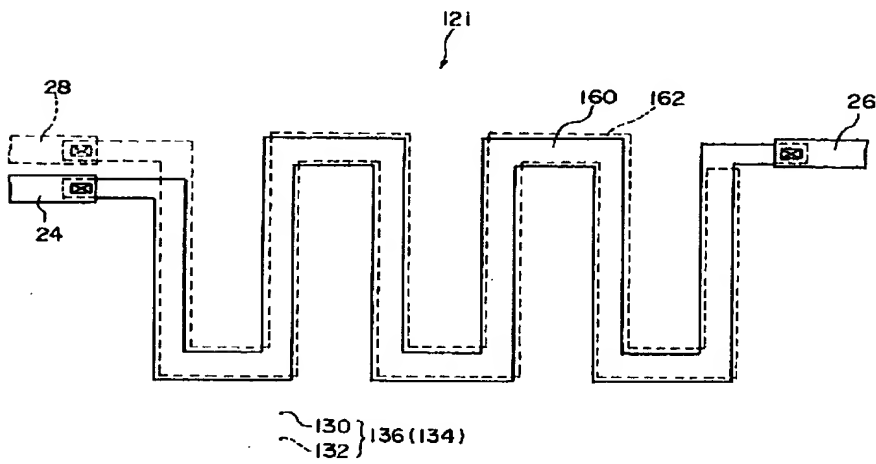
【図23】



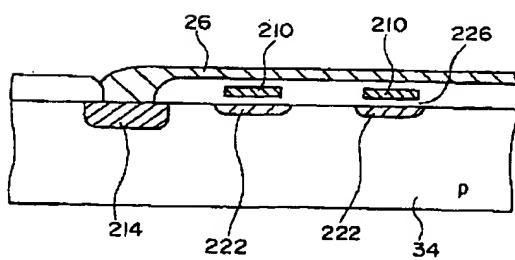
【図 24】



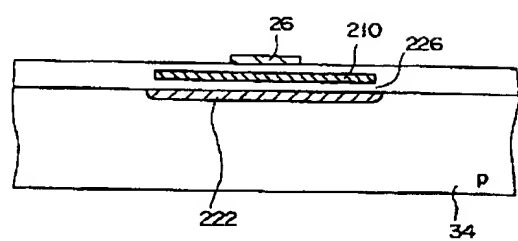
【図 25】



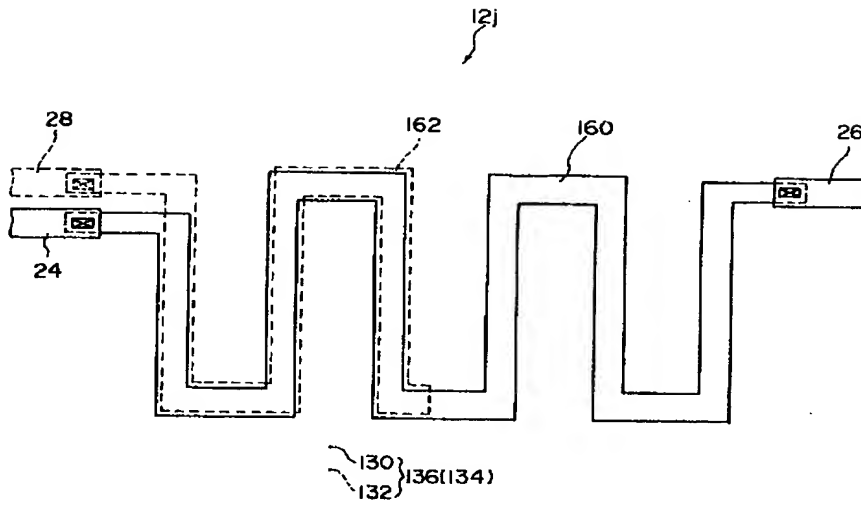
【図 29】



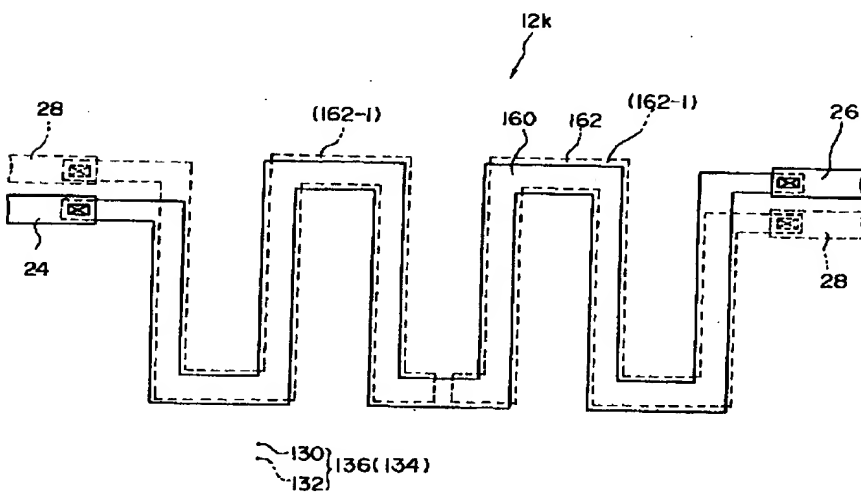
【図 30】



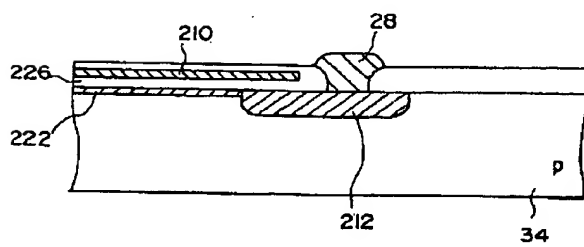
【図 2 6】



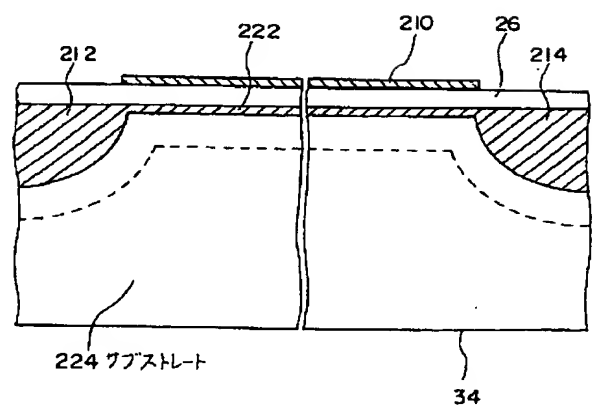
【図 2 7】



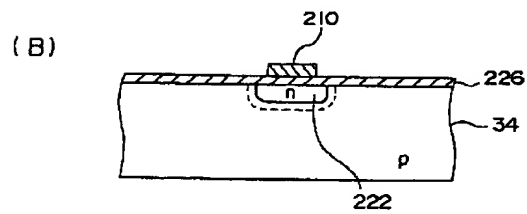
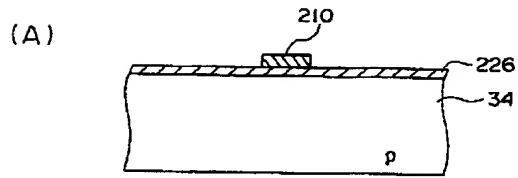
【図 3 1】



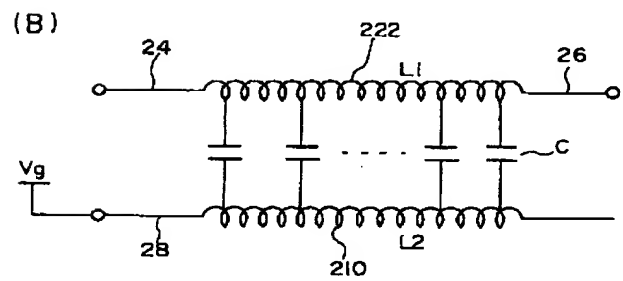
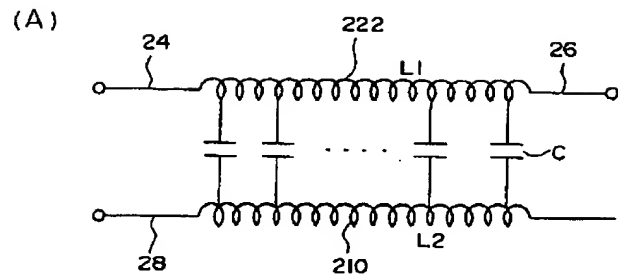
【図 3 3】



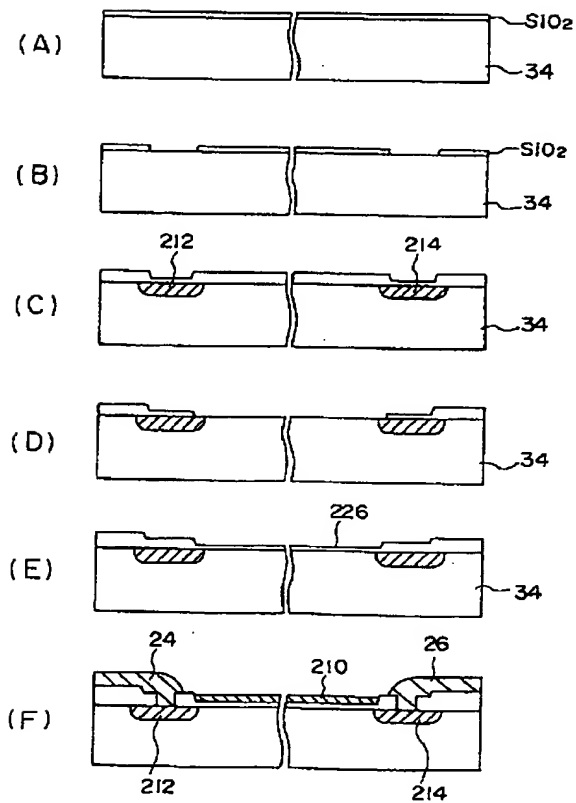
【図32】



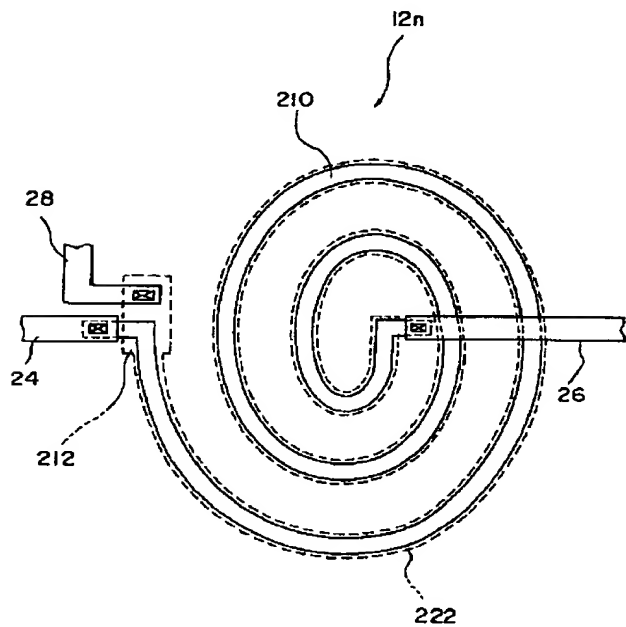
【図34】



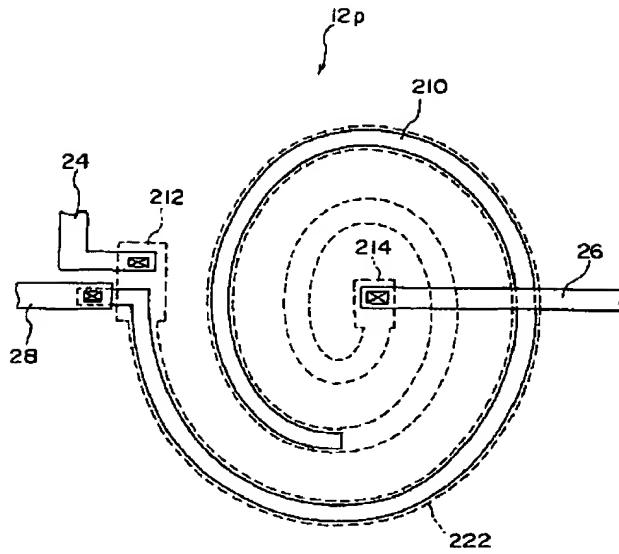
【図35】



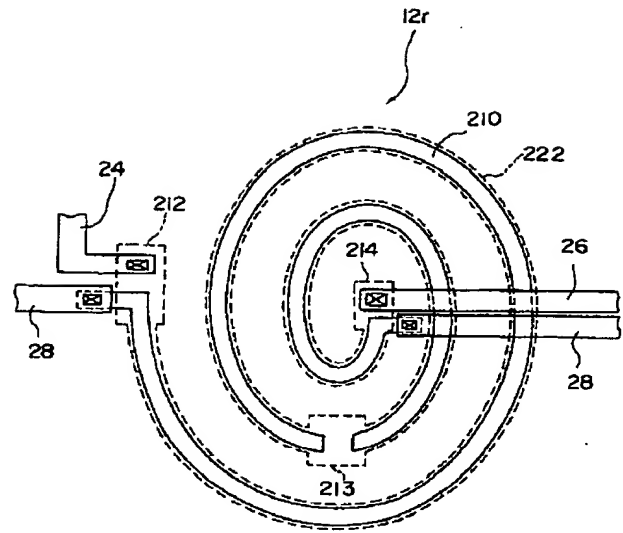
【図36】



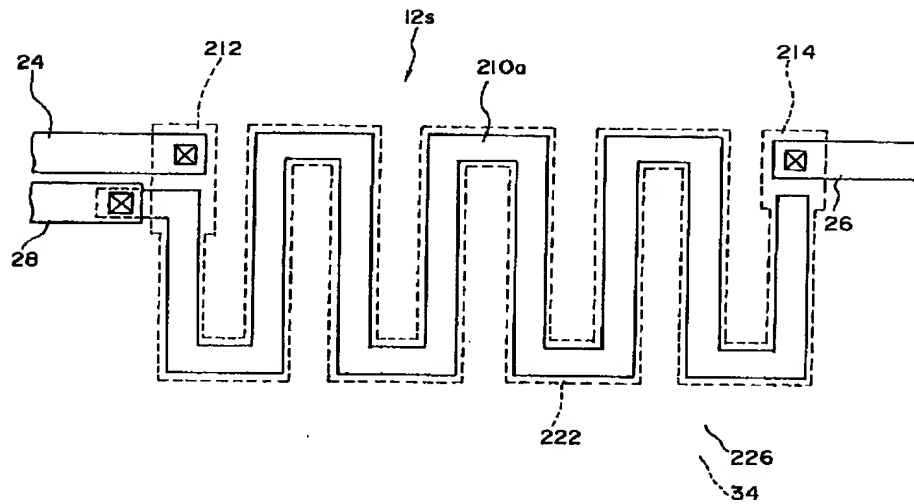
【図 3 7】



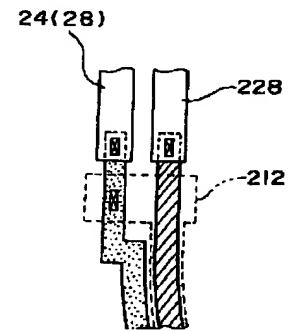
【図 3 8】



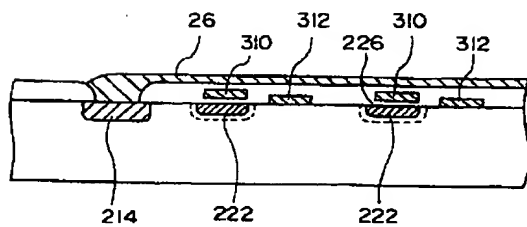
【図 3 9】



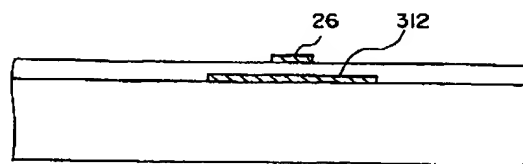
【図 4 9】



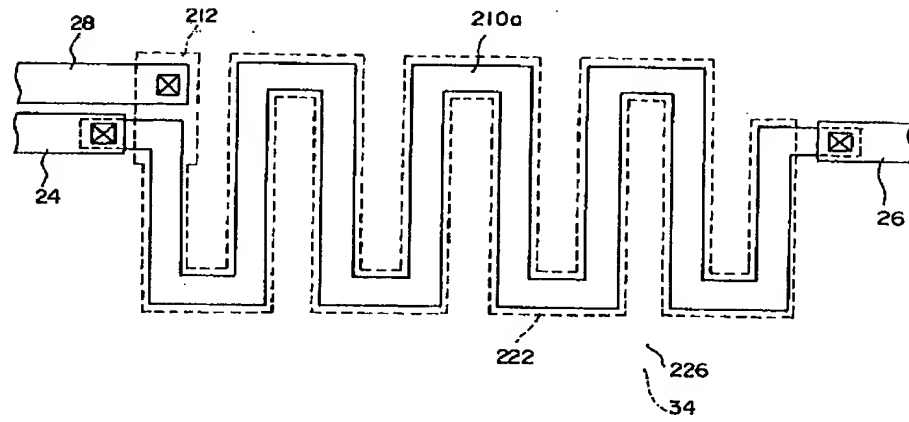
【図 4 5】



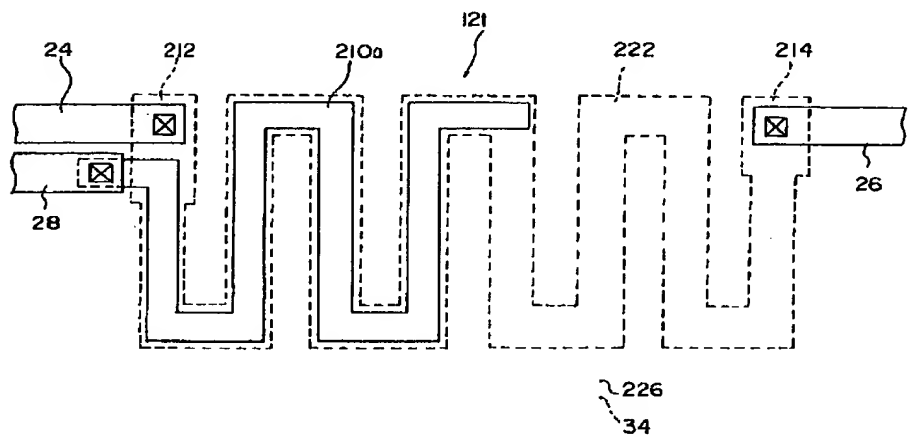
【図 4 6】



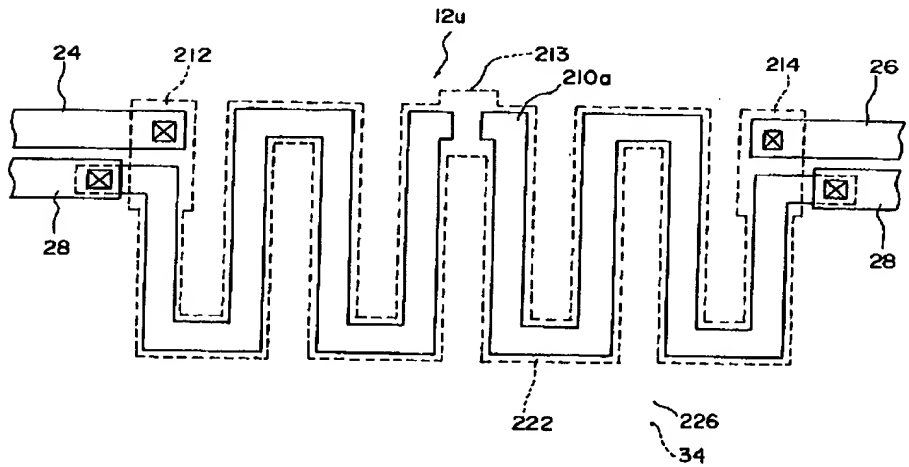
【図40】



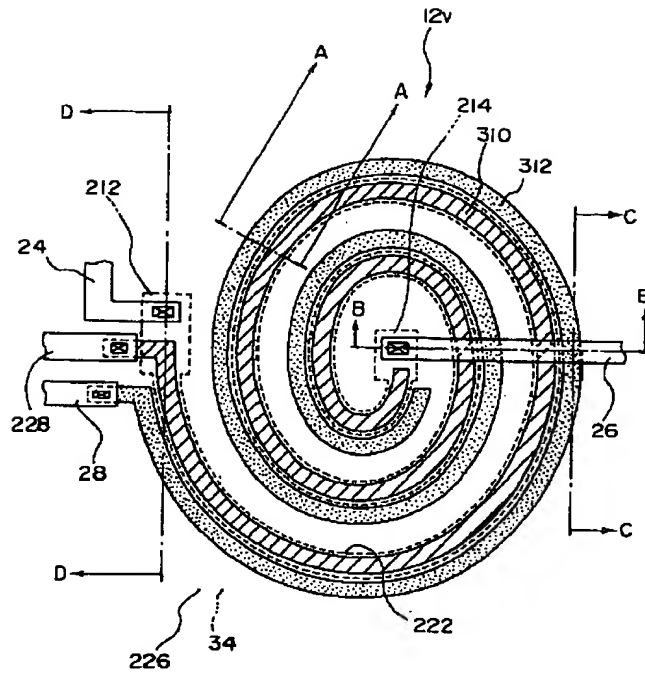
【図41】



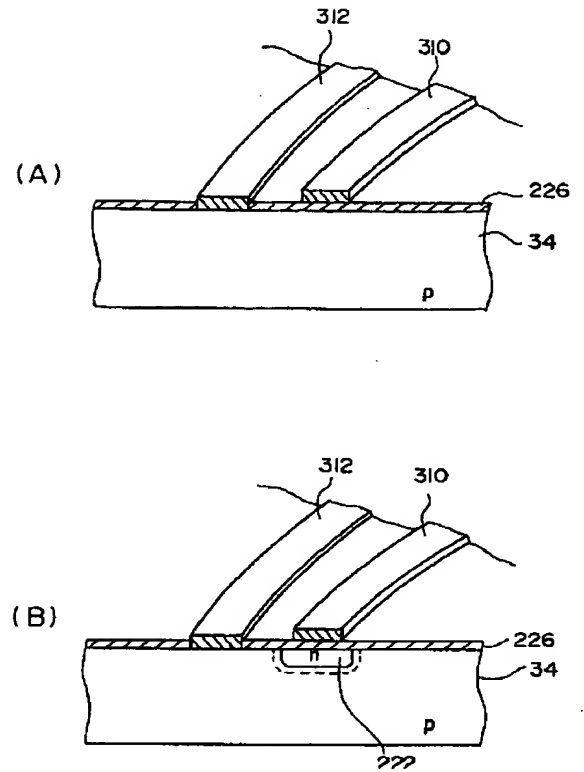
【図42】



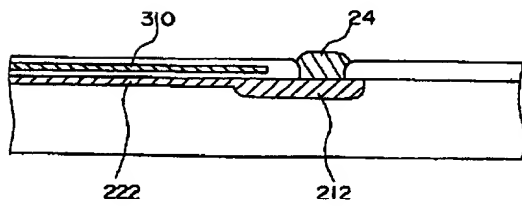
【図 4 3】



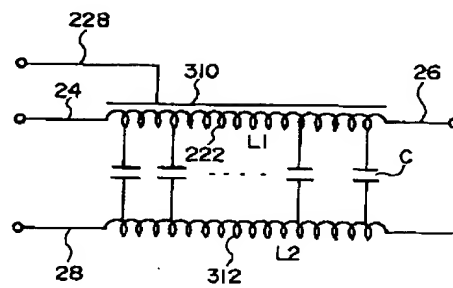
【図 4 4】



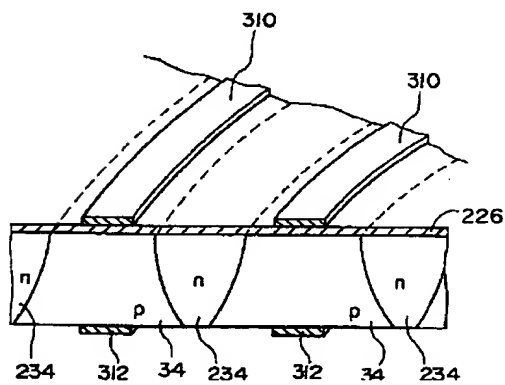
【図 4 7】



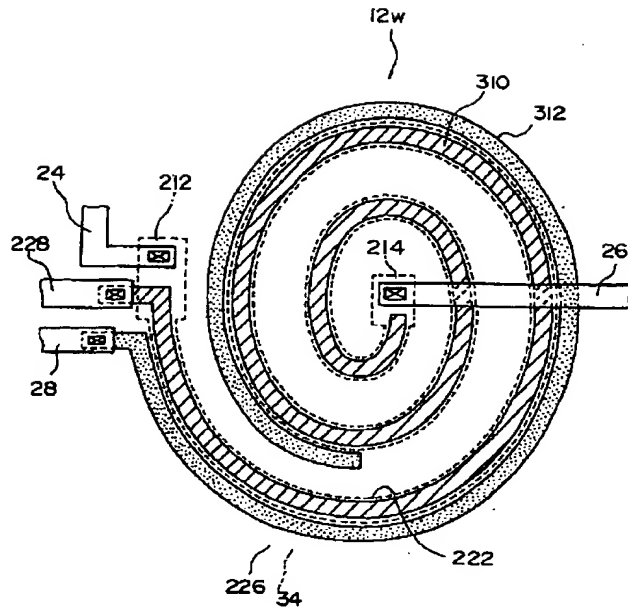
【図 4 8】



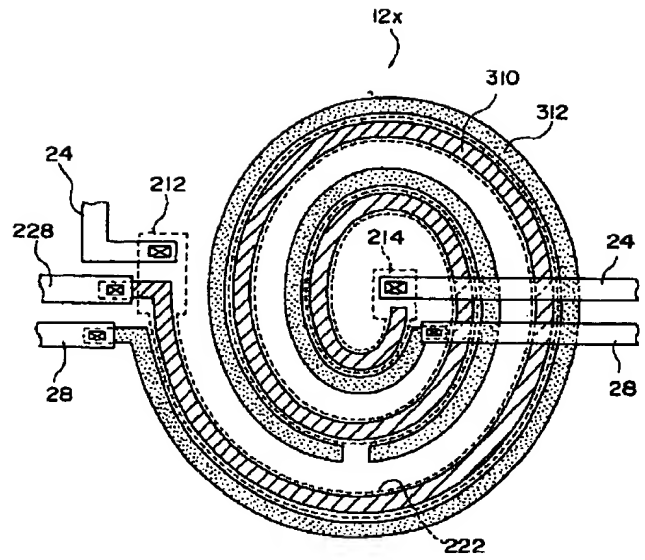
【図 6 3】



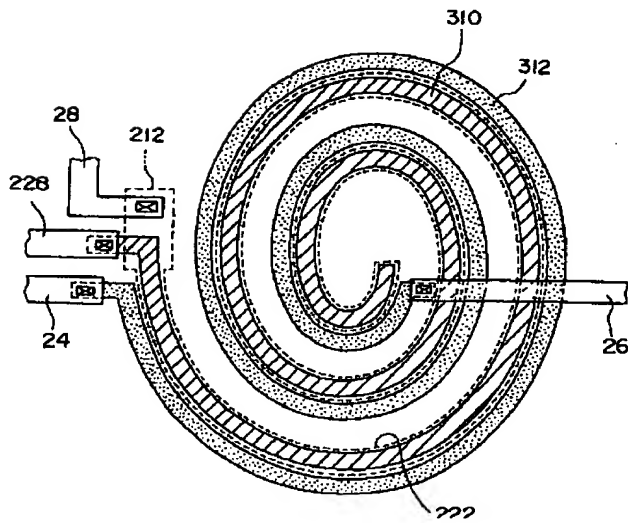
【図50】



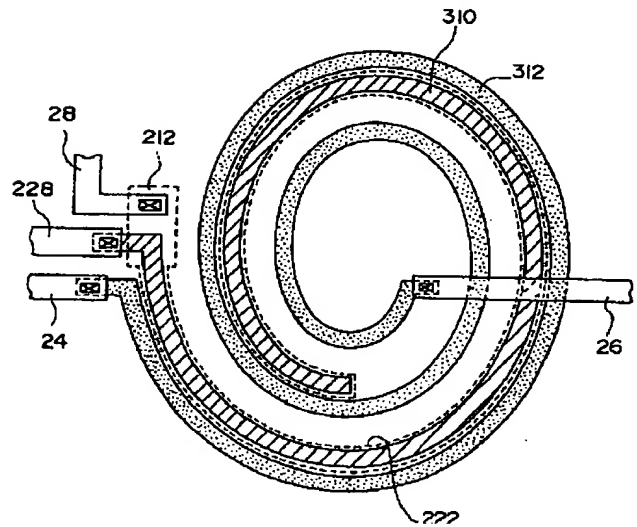
【図51】



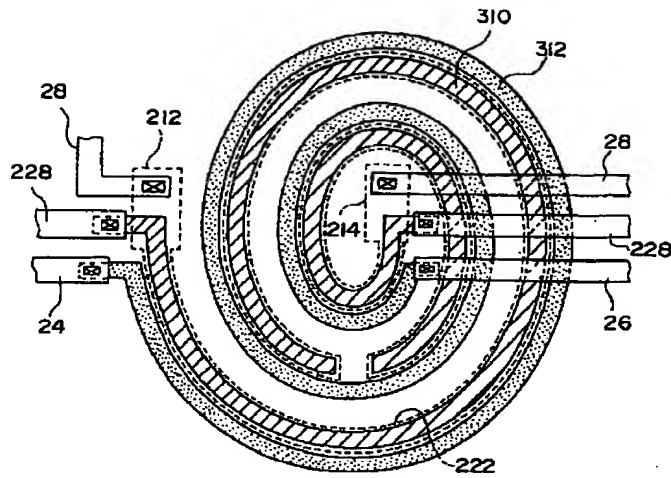
【図52】



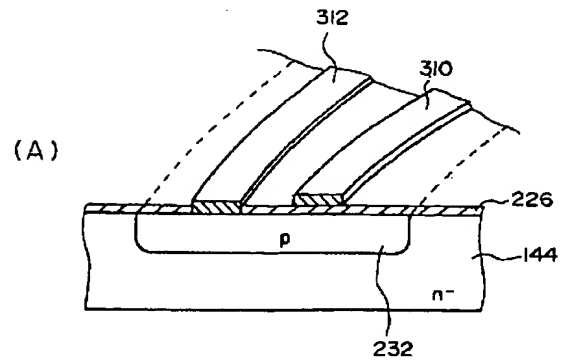
【図53】



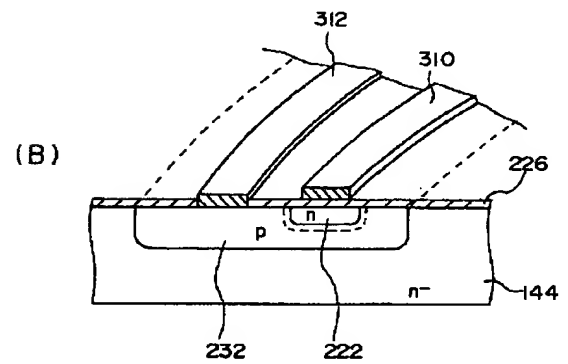
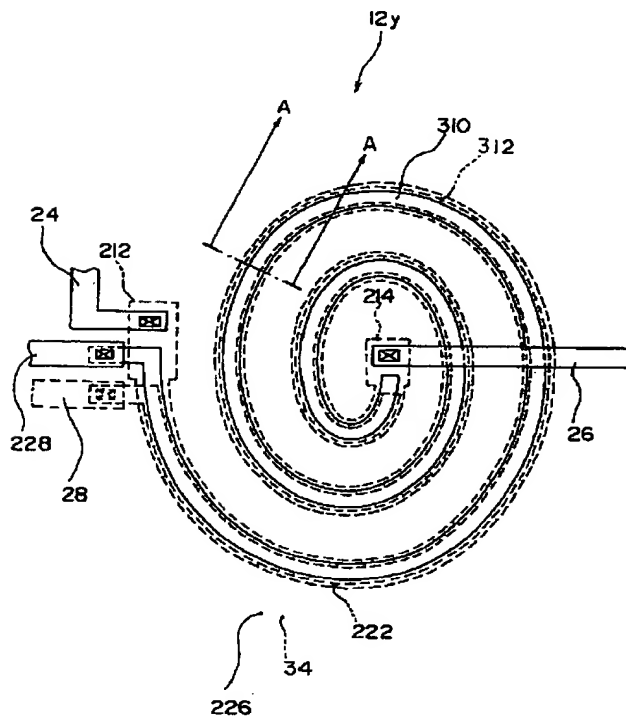
【図54】



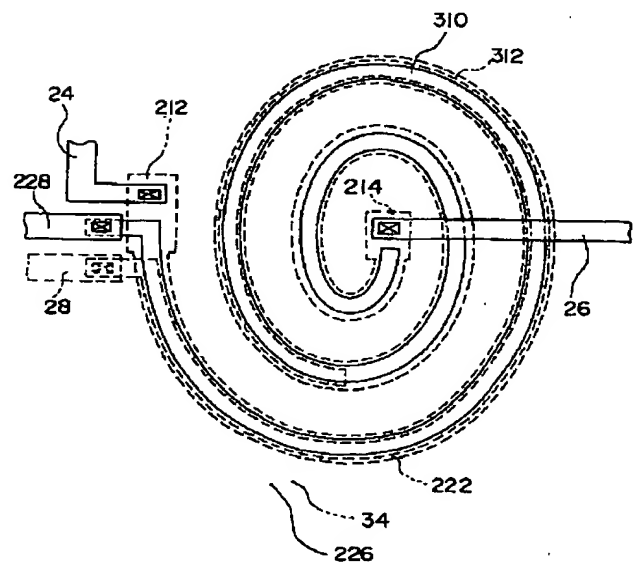
【図55】



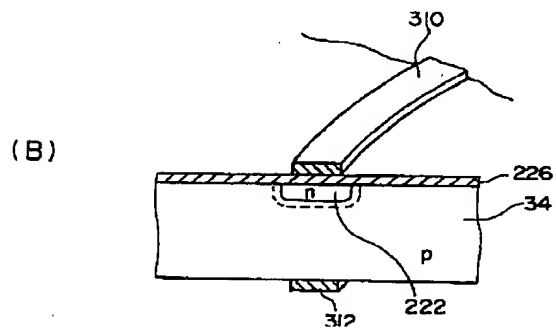
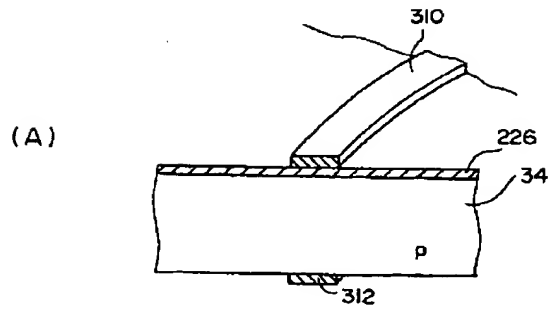
【図56】



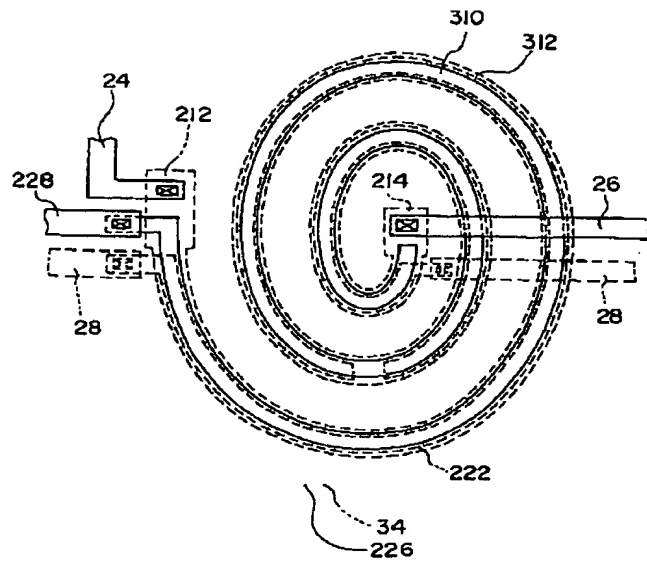
【図58】



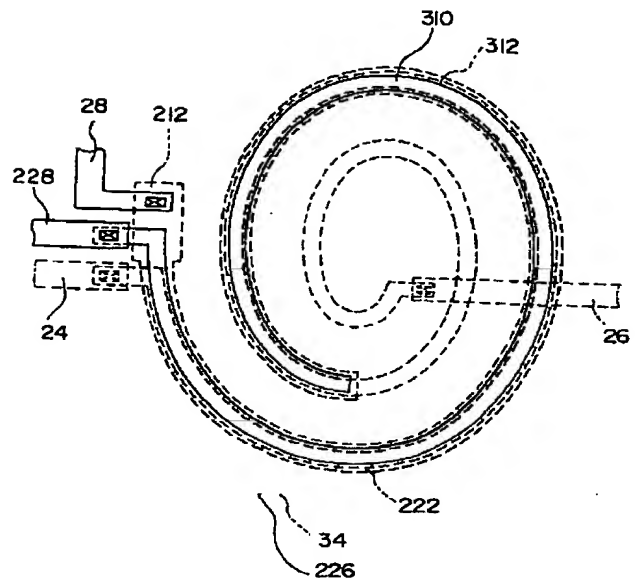
【図 57】



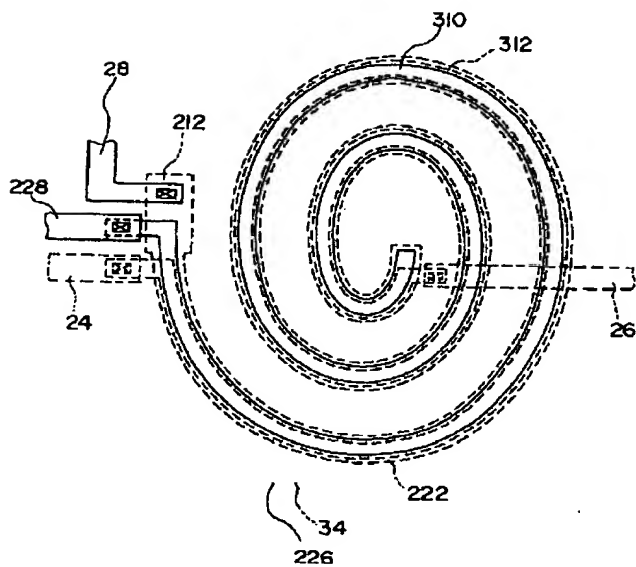
【図 59】



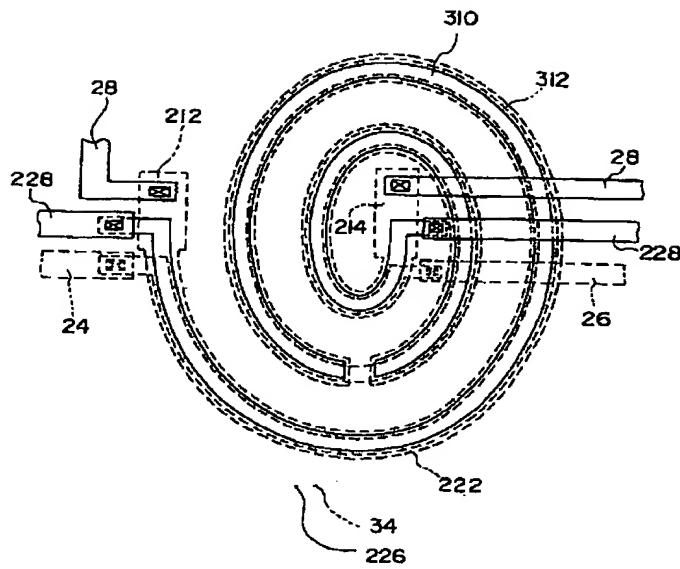
【図 61】



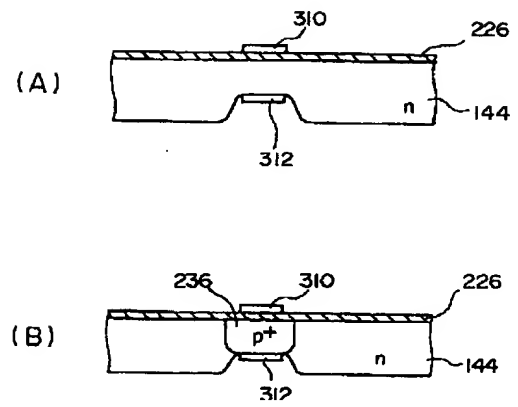
【図 60】



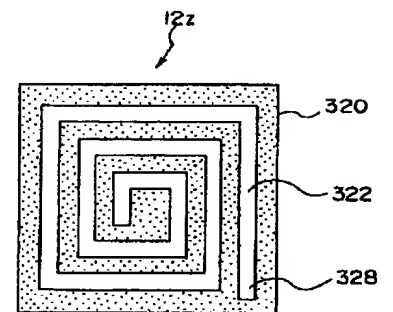
【図62】



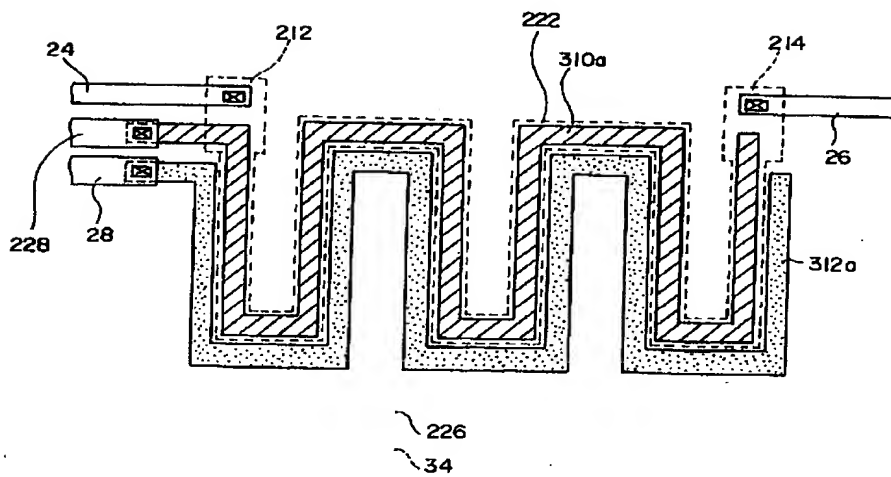
【図64】



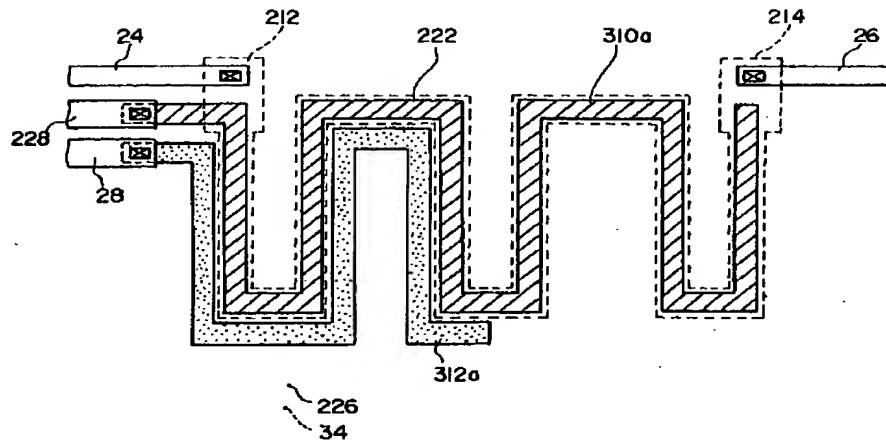
【図79】



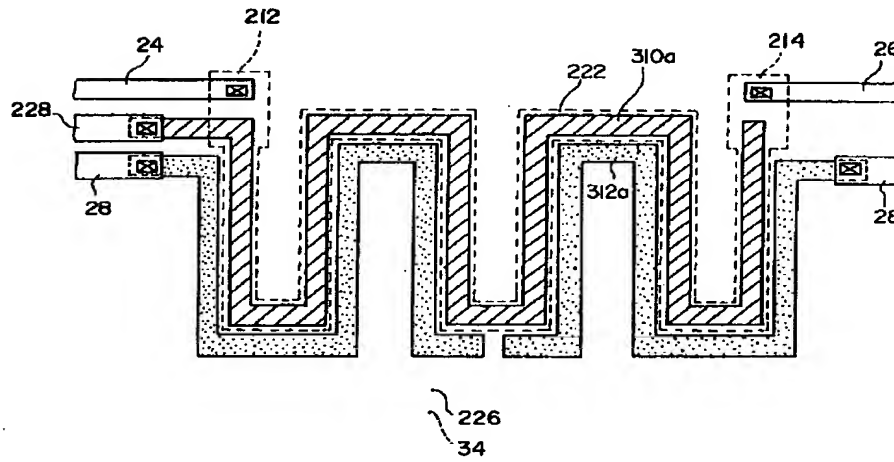
【図65】



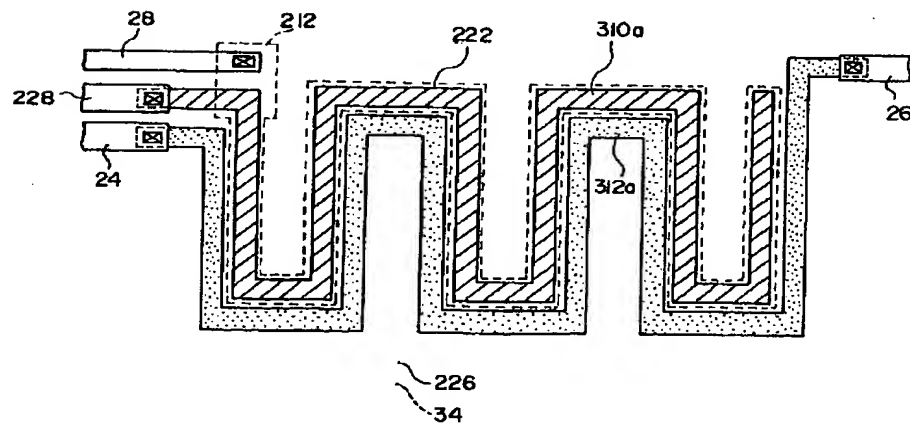
【図 6 6】



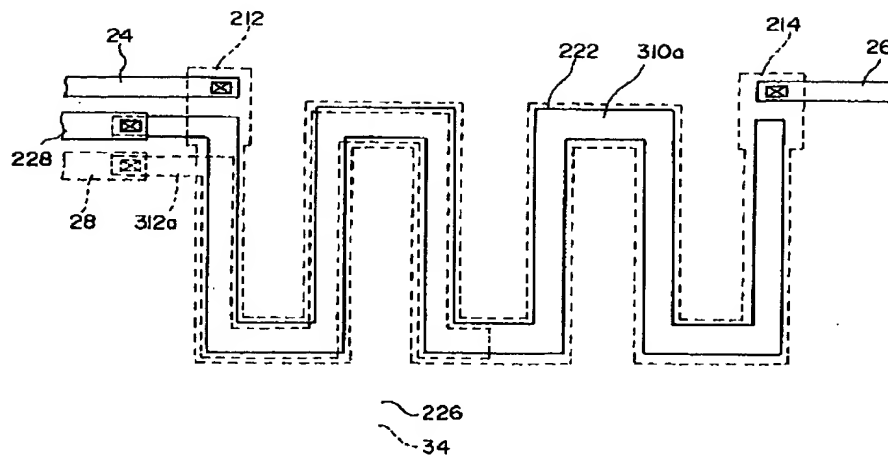
【図 6 7】



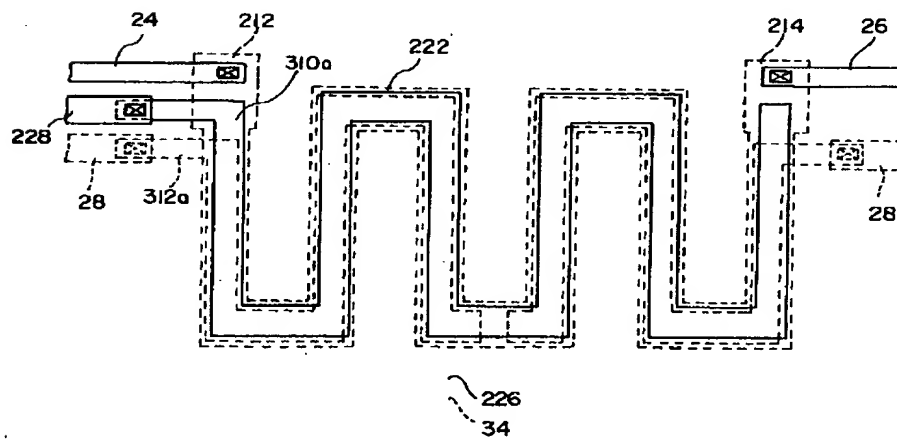
【図 6 8】



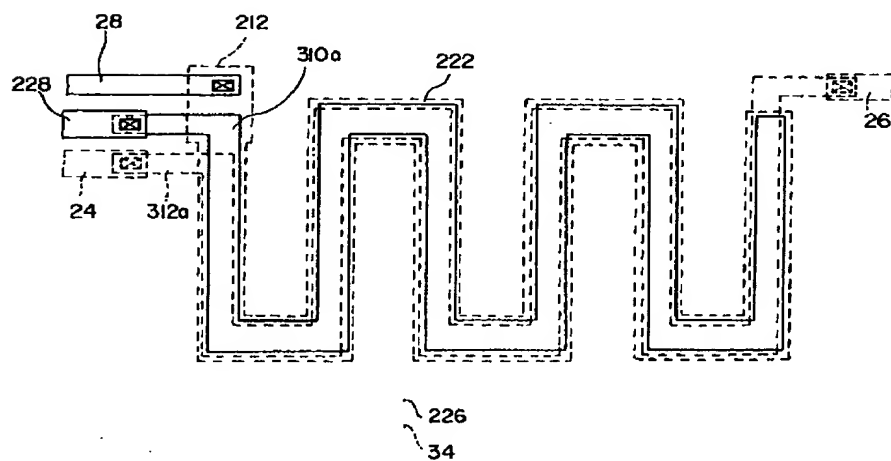
【図 7 2】



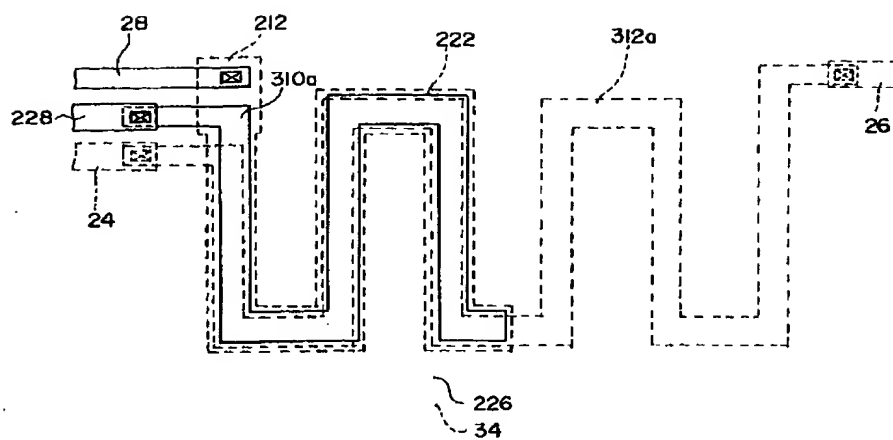
【図 7 3】



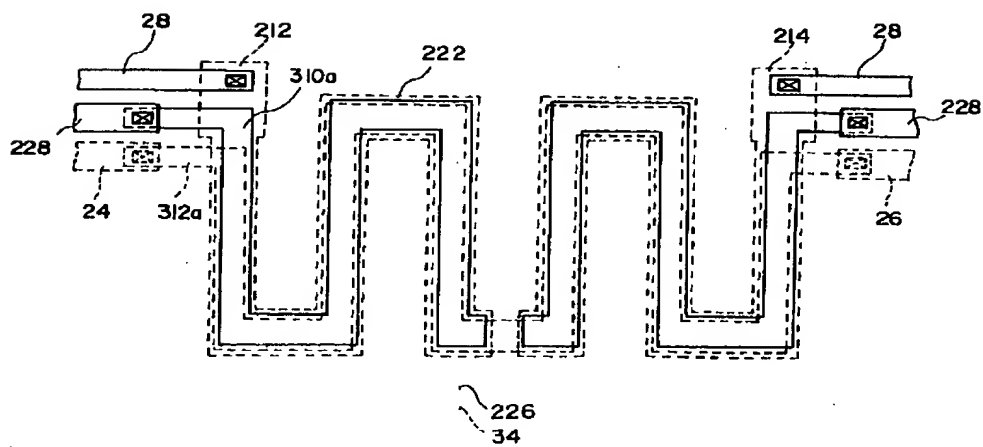
【図 7 4】



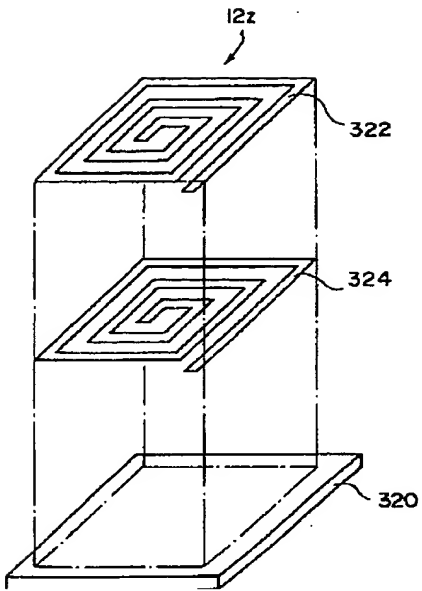
【図75】



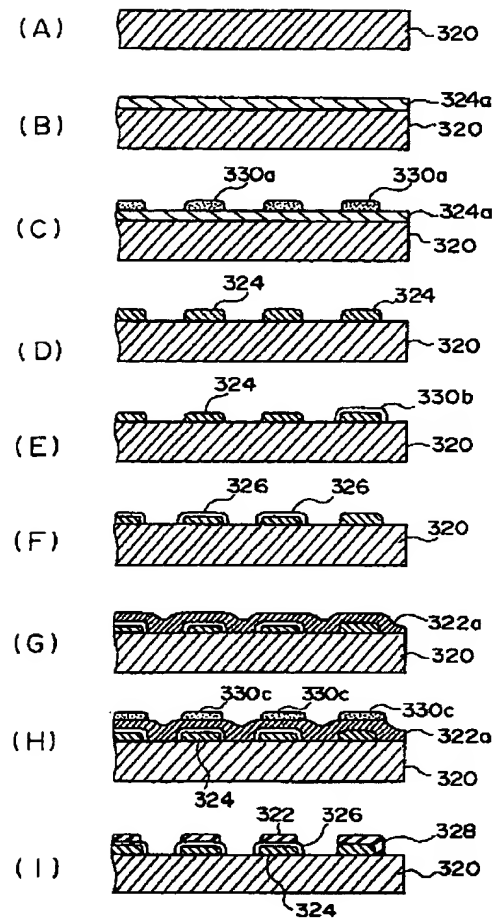
【図76】



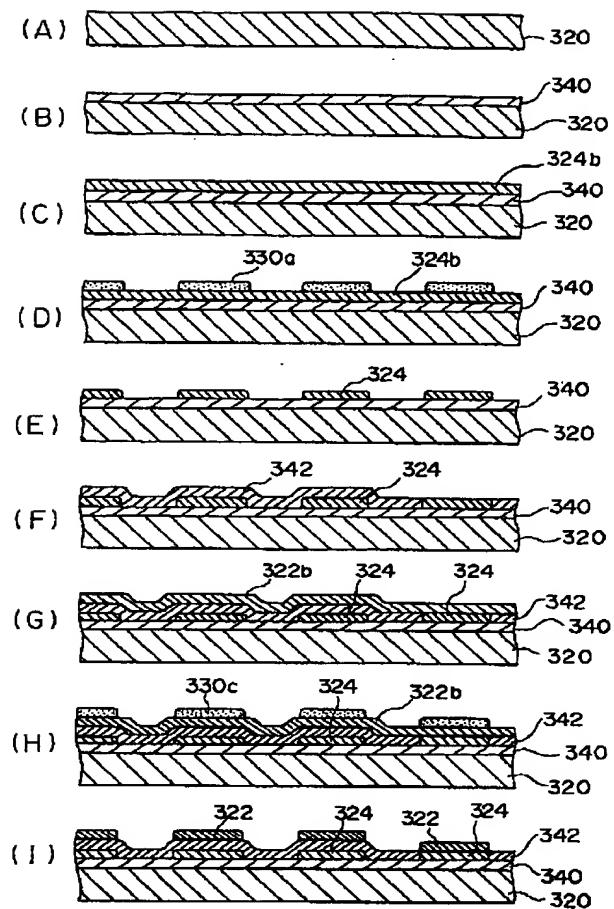
【図 77】



【図 78】



【図 80】



フロントページの続き

(51) Int. Cl.⁶

H 0 3 B 5/18

識別記号

庁内整理番号

F I

技術表示箇所

Z 8321-5 J